

Д. В. Ефанов, д-р техн. наук, доц., e-mail: TrES-4b@yandex.ru,
 ООО НТЦ "Комплексные системы мониторинга", г. Санкт-Петербург,
 Санкт-Петербургский политехнический университет Петра Великого, г. Санкт-Петербург,
 Российский университет транспорта, Москва,
В. В. Сапожников, д-р техн. наук, проф., e-mail: port.at.pgups@gmail.com,
Вл. В. Сапожников, д-р техн. наук, проф., e-mail: at.pgups@gmail.com,
 Петербургский государственный университет путей сообщения Императора Александра I,
 г. Санкт-Петербург

Организация схем встроенного контроля на основе метода логического дополнения с предварительным преобразованием рабочих функций в контрольные векторы кодов Бергера*

Описан новый способ организации схем встроенного контроля по методу логического дополнения, подразумевающий использование предварительного сжатия сигналов от объекта диагностирования с применением кодеров классических кодов с суммированием (кодов Бергера). Контроль сжатых сигналов осуществляется с помощью равновесного кода "1 из 4". В отличие от известных способов организации схем встроенного контроля создается возможность реализации самопроверяемого цифрового устройства с помощью одной такой схемы, что существенно уменьшает структурную избыточность. Предложено использовать в качестве схемы сжатия кодеры модифицированных кодов Бергера, обладающих улучшенными характеристиками обнаружения ошибок.

Ключевые слова: контроль вычислений, контроль комбинационных устройств, метод логического дополнения, сжатие сигналов, равновесный код, код Бергера, обнаружение ошибок

Введение

При разработке надежных и безопасных устройств и систем управления ответственными технологическими процессами широко применяются методы контроля корректности вычислений, защиты и кодирования данных [1–4]. Одним из вариантов организации контроля вычислений является использование схем встроенного контроля (СВК) [5]. Их применение позволяет не только фиксировать некорректные результаты вычислений, но и косвенно обнаруживать возникновение неисправностей в устройствах [6].

При синтезе СВК часто используются методы избыточного кодирования [7–11]. Выбранный на этапе проектирования код определяет ключевые характеристики реализуемого цифрового устройства: возможность обнаружения ошибок, структурную избыточность, энергопотребление, контролепригодность и пр.

Одним из подходов к организации СВК с применением избыточного кодирования является применение метода логического дополнения, предложенного в работе [12] и исследуемого в большом числе работ, например, в [13–19].

Данная работа посвящена развитию метода логического дополнения и содержит описание нового способа организации СВК с предварительным сжатием сигналов от объекта диагностирования. Применение сжатия сигналов позволяет уменьшить структурную избыточность реализуемого цифрового устройства.

1. Метод логического дополнения

Метод логического дополнения подразумевает организацию СВК таким образом, чтобы формируемый на выходе объекта диагностирования $F(x)$ информационный вектор $\langle f_1 f_2 \dots f_{m-1} f_m \rangle$ преобразовывался путем коррекции сигналов в кодовое слово $\langle h_1 h_2 \dots h_{m-1} h_m \rangle$, принадлежащее заранее выбранному избыточному коду (рис. 1). Такое преобразование осуществляется с использованием специальной схемы коррекции сигналов, образующей блок логического дополнения (БЛД). В блоке логического дополнения для преобразования сигналов применены двухвходовые элементы сложения по модулю $M = 2$ (элементы XOR). На входы элементов преобразования подаются сигналы от объекта диагностирования $F(x)$ (сигналы f_i) и сигналы от блока контрольной логики $G(x)$ (сигналы g_i), что позволяет формировать значения разрядов h_1, h_2, \dots, h_m по правилу: $h_i = f_i \oplus g_i, i = 1, m$. Контроль принадлежности

*Работа выполнена при финансовой поддержке гранта № МД-2533.2021.4 Президента Российской Федерации.

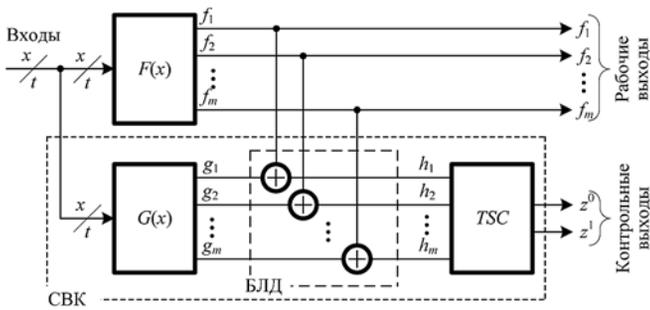


Рис. 1. Общая структура организации контроля комбинационных устройств по методу логического дополнения

формируемого кодового слова заранее выбранному избыточному коду осуществляется с использованием схемы тестера (*TSC*).

Организация СВК в соответствии со структурой, приведенной на рис. 1, позволяет во многих случаях синтезировать более простые цифровые устройства, наделенные свойствами обнаружения неисправностей в процессе функционирования, чем при использовании метода дублирования [17]. Это возможно за счет выбора такого способа преобразования, при котором функции, вычисляемые блоком $G(x)$, будут иметь наиболее простые логические выражения (более простые, чем функции, вычисляемые объектом диагностирования), а тестер в СВК будет проще схемы сравнения, используемой при дублировании.

При синтезе СВК для наделения ее свойством полной самопроверяемости относительно заданной модели неисправностей накладываются ряд ограничений [18]:

- на входы всех элементов блока логического дополнения в процессе функционирования устройства должны поступать хотя бы единожды все проверяющие комбинации из множества {00, 01, 10, 11};

- схема тестера должна быть полностью самопроверяемой, а на ее входы должны поступать хотя бы единожды все проверяющие комбинации (что определяется выбранным для контроля кодом и способом реализации тестера);

- не должно происходить маскировки ошибок на входах элементов преобразования;

- схема блока контрольной логики $G(x)$ должна быть проверяемой (любая неисправность должна проявляться хотя бы на одном входном наборе на выходах устройства).

При организации СВК по методу логического дополнения может быть использован контроль принадлежности формируемого на входах тестера кодового слова какому-либо избыточному коду, например, равновесному коду [19] или коду с суммированием [20]. Другим подходом является организация контроля по признаку самодвойственности формируемых функций.

Кроме того, диагностические признаки можно комбинировать. Такой подход, к примеру, описан в работе [21], где предполагается организация самодвойственного устройства с контролем не только по данному признаку, но и с контролем вычислений по равновесным кодам "2 из 4".

В ряде публикаций, например, в работе [22], отмечаются преимущества использования равновесных кодов с малой длиной кодовых слов, связанные с простотой их тестеров и малым числом требуемых для полной проверки тестовых комбинаций. Одним из таковых кодов является код "1 из 4" (1/4-код). Данный код имеет четыре рабочих кодовых слова {0001, 0010, 0100, 1000} и не обнаруживает всего 12 ошибок, каждая из которых является двукратной разнонаправленной (симметричной) ошибкой. На рис. 2 приведена базовая структура организации СВК по 1/4-коду. При ее использовании выходы объекта диагностирования разбиваются на группы по четыре выхода, для каждой такой группы строятся отдельные схемы контроля, а их выходы объединяются на входах самопроверяемой схемы сжатия парафазных сигналов [23], что позволяет свести контроль вычислений к контролю только одного парафазного сигнала.

Для преобразования любого кодового вектора в кодовое слово 1/4-кода требуется не более трех элементов *XOR*, что позволяет уменьшить число контрольных функций до трех. Это же упрощает процедуру построения полностью самопроверяемой СВК.

В работе [24] предложено использовать равновесный 1/4-код совместно со специальной схемой сжатия сигналов, позволяющей организовывать контроль многовыходного устройства ($m > 4$) по данному коду с реализацией одной СВК. Структура организации СВК с предварительным сжатием сигналов представлена на рис. 3. Данная структура является базовой и строится для устройства с $m = 8$ выходами. В ней, в отличие от структуры, приведенной на рис. 2, блок логического дополнения включает в себя не

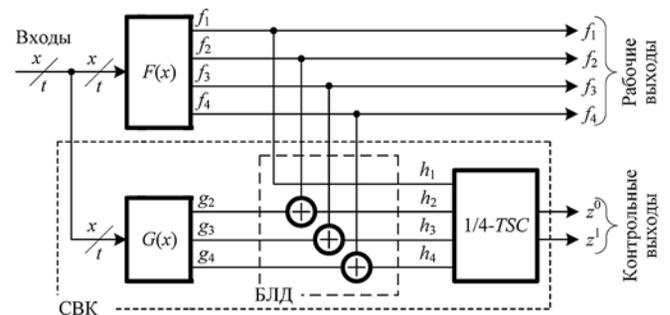


Рис. 2. Структура организации контроля комбинационных устройств по методу логического дополнения до равновесного кода "1 из 4"

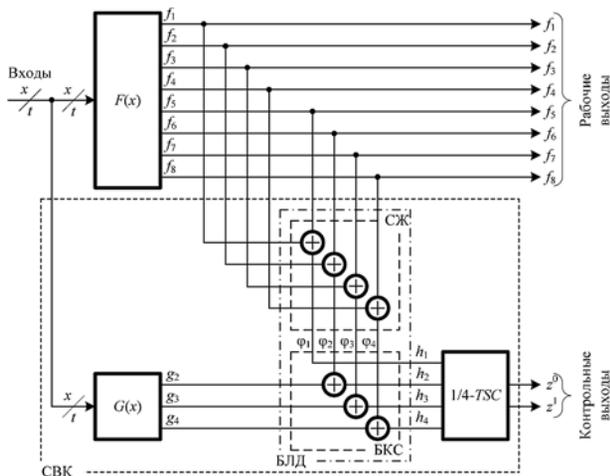


Рис. 3. Структура организации контроля комбинационных устройств по методу логического дополнения до равновесного кода "1 из 4" с предварительным сжатием сигналов

только блок коррекции сигналов (БКС), но еще и схему сжатия (СЖ). Схема сжатия позволяет сжать сигналы от всех восьми выходов в четыре сигнала $\varphi_1, \varphi_2, \varphi_3, \varphi_4$. Блок коррекции сигналов позволяет осуществить последующее преобразование значений функций $\varphi_1, \varphi_2, \varphi_3, \varphi_4$ в h_1, h_2, h_3, h_4 . Схема сжатия устроена таким образом, что реализуется процедура сжатия сигналов для четырех пар информационных выходов блока $F(x)$.

Особенности обнаружения ошибок в СВК, реализованной в соответствии с представленной структурой, обсуждаются в работах [25, 26]. Исследования показывают, что можно сжимать сигналы не только попарно, а объединяя сразу же несколько выходов. Однако при этом меняются характеристики обнаружения ошибок на выходах объекта диагностирования. Одним из способов предварительного сжатия группы сигналов является сжатие с помощью кодеров каких-либо избыточных кодов. В данной работе предлагается организация схемы сжатия на основе кодеров классических кодов Бергера, описанных в работе [20], свойства которых достаточно полно описаны в монографии [10].

2. Предварительное сжатие сигналов с помощью кодеров кодов Бергера

На рис. 4 приведена обобщенная структура организации СВК с предварительным сжатием сигналов от всех выходов объекта диагностирования с помощью кодера классического кода Бергера. В ней схема сжатия образована кодером $G(f)$, формирующим функции $\varphi_1, \varphi_2, \dots, \varphi_k$, где $k = \lceil \log_2(m+1) \rceil$ (запись $\lceil \dots \rceil$ обозначает целое сверху от вычисляемого значения). К примеру, если устройство $F(x)$ имеет $m = 20$ выходов, то

число выходов кодера кода Бергера будет равно $k = 5$. Число выходов блока контрольной логики $G(x)$ равно числу выходов кодера $G(f)$. Другими словами, использование сжатия сигналов в кодере $G(f)$ позволяет уменьшить число контрольных функций, число элементов преобразования и позволяет выбрать наиболее простой тестер для контроля преобразованных сигналов.

В схеме сжатия требуется обеспечить тестирование кодера $G(f)$, что требует формирования хотя бы по разу всех контрольных слов кода Бергера. Это просто сделать для кодов Бергера, для которых значение $m = 2^q - 1, q = 2, 3, \dots$, так как в этом случае формируются все возможные разряды для 2^k контрольных векторов. Максимально просто это сделать для случая $m = 3$. У такого кода Бергера имеется $k = 2$ контрольных разряда, и формируются все возможные сочетания их значений: {00, 01, 10, 11}.

На рис. 5 изображена базовая структура организации СВК для устройства $F(x)$ с $m = 6$ выходами. В ней предполагается использование

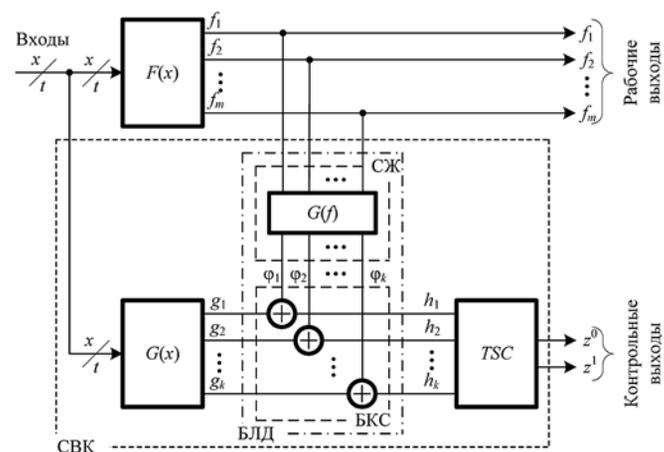


Рис. 4. Обобщенная структура организации СВК на основе преобразования информационного вектора в контрольный вектор кода Бергера

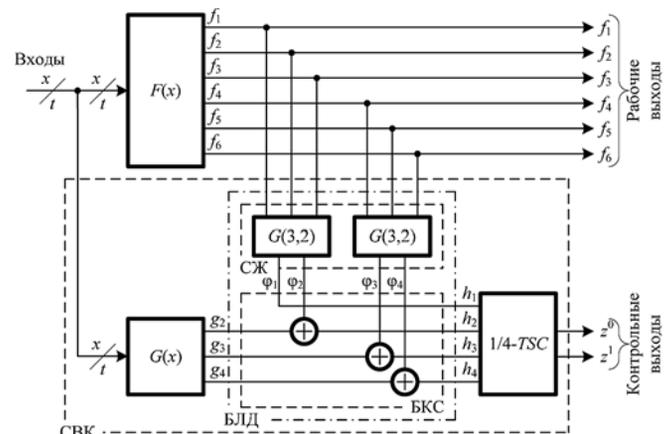


Рис. 5. Структура организации СВК на основе преобразования информационного вектора в контрольный вектор кода Бергера

схемы сжатия, каждая из которых образована двумя кодерами кода Бергера $G(3,2)$. Каждый такой кодер преобразует $m = 3$ входных сигнала в $k = 2$ выходных сигнала и позволяет сформировать четыре функции $\varphi_1, \varphi_2, \varphi_3, \varphi_4$. Далее эти функции преобразуются в кодовое слово, принадлежащее 1/4-коду и контролируются с помощью тестера данного кода.

Первые три выхода блока $F(x)$ преобразуются в два контрольных выхода φ_1 и φ_2 , на которых формируются контрольные векторы кода Бергера. Для этих целей используется кодер кода Бергера, фактически представляющий собой один полный сумматор (*full-adder*) [7]. Аналогично вторая группа из трех выходов блока $F(x)$ преобразуется в два контрольных выхода φ_3 и φ_4 . Выходы $\varphi_1, \dots, \varphi_4$ поступают на входы схемы коррекции сигналов, предназначенной для формирования на своих выходах кодовых слов равновесного кода "1 из 4" (1/4-кода). Функция φ_1 не корректируется и непосредственно формирует значение разряда h_1 , остальные функции φ_2, φ_3 и φ_4 корректируются.

3. Синтез СВК с предварительным сжатием сигналов с помощью кодеров кодов Бергера

Все элементы в СВК, за исключением блока $G(x)$, являются типовыми. Задачей синтеза СВК является получение выражений, описывающих функции g_2, g_3 и g_4 . Их значения получают

с учетом ряда ограничений: необходимость формирования полных тестов для 1/4-TSC и каждого элемента XOR в структуре схемы коррекции сигналов [18].

В качестве примера синтезируем СВК для комбинационного устройства, заданного таблицей истинности (см. таблицу). Для получения функций $\varphi_1, \dots, \varphi_4$ выходы исходного устройства разбиваются на два подмножества $\{f_1, f_2, f_3\}$ и $\{f_4, f_5, f_6\}$. Подсчитывается число единичных разрядов в каждом из подмножеств на каждой входной комбинации, а полученное число в двоичном виде записывается в соответствующие столбцы: φ_1, φ_2 для первого подмножества и φ_3, φ_4 — для второго. Далее функция g_1 приравнивается к функции h_1 . Доопределению значений подлежат функции g_2, g_3 и g_4 .

Для доопределения значений функций g_2, g_3 и g_4 применим эвристический подход, описанный в работе [27] для использования 2/4-кода. Суть эвристического подхода состоит в том, что значения функций g_2, g_3 и g_4 на тех входных наборах, на которых $h_1 = 1$, доопределяются с учетом формирования кодового слова $\langle h_1 h_2 h_3 h_4 \rangle = \langle 1000 \rangle$, и фиксируются все тестовые комбинации элементов преобразования (XOR). На остальных наборах значения функций g_2, g_3 и g_4 получаются произвольным образом, однако с соблюдением трех условий:

1) на каждой входной комбинации кодовое слово $\langle h_1 h_2 h_3 h_4 \rangle$ должно принадлежать одно-

Описание схемы встроенного контроля

Входные комбинации				Рабочие функции объекта диагностирования						Сжатые функции				Контрольные функции			Кодовые векторы на входе тестера				Тестовые комбинации элементов преобразования		
x_1	x_2	x_3	x_4	f_1	f_2	f_3	f_4	f_5	f_6	φ_1	φ_2	φ_3	φ_4	g_2	g_3	g_4	h_1	h_2	h_3	h_4	XOR_2	XOR_3	XOR_4
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	00	00	01
0	0	0	1	0	0	1	0	1	1	0	1	1	0	0	1	0	0	1	0	0	10	11	00
0	0	1	0	0	0	1	1	0	1	0	1	1	0	0	1	0	0	1	0	0	10	11	00
0	0	1	1	0	1	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	10	00	00
0	1	0	0	1	0	0	1	1	0	0	1	1	0	0	1	0	0	1	0	0	10	11	00
0	1	0	1	0	1	1	1	0	0	1	0	0	1	0	0	1	1	0	0	0	00	00	11
0	1	1	0	1	1	1	1	1	0	1	1	1	0	1	1	0	1	0	0	0	11	11	00
0	1	1	1	1	0	0	0	0	0	0	1	0	0	1	1	0	0	0	1	0	11	01	00
1	0	0	0	1	0	0	1	1	0	0	1	1	0	1	0	0	0	0	1	0	11	10	00
1	0	0	1	0	1	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	10	00	00
1	0	1	0	0	0	1	1	1	1	0	1	1	1	1	1	0	0	0	0	1	10	11	10
1	0	1	1	0	1	1	1	1	1	1	0	1	1	0	1	1	1	0	0	0	00	11	11
1	1	0	0	1	0	1	0	0	1	1	0	0	1	0	0	1	1	0	0	0	00	00	11
1	1	0	1	1	0	1	1	0	1	1	0	1	0	0	1	0	1	0	0	0	00	11	00
1	1	1	0	0	0	0	0	1	1	0	0	1	0	1	1	0	0	1	0	0	01	11	00
1	1	1	1	1	0	0	1	1	1	0	1	1	1	1	0	1	0	0	1	0	11	10	11

му из трех оставшихся кодовых слов 1/4-кода (<0001>, <0010>, <0100>);

2) в итоговой таблице истинности должны хотя бы по разу формироваться все кодовые слова 1/4-кода;

3) в итоговой таблице истинности должны быть сформированы полные проверяющие тесты для всех элементов XOR.

Если при соблюдении условий № 1 и № 2 не соблюдается условие № 3 (при эвристическом подходе это высоковероятно и на рассматриваемом множестве примеров наблюдалось практически всегда), то проводится поиск наиболее часто встречающейся проверяющей комбинации для того элемента преобразования, для которого не сформирован полный тест, и осуществляется коррекция значений с учетом сформулированных выше условий. Такой подход к получению значений функций g_2 , g_3 и g_4 оказывается трудоемким, однако чем больше число входов устройства $F(x)$, тем проще выполнить условия 1)–3) и тем быстрее можно выполнить процедуры доопределения значений. Альтернативным является подход, при котором между значениями функций g_i и f_i , $i = 1, 4$, изначально устанавливается функциональная зависимость.

Выписывая из таблицы значения данных функций в матричной форме и проводя процедуры по оптимизации методом Карно, получаем:

$$g_2 = x_2 x_3 \vee x_1 \overline{x_2} \overline{x_4};$$

$$g_3 = x_3 \overline{x_4} \vee x_1 \overline{x_2} x_3 \vee \overline{x_1} x_2 \overline{x_4} \vee x_1 x_2 x_3 \vee \overline{x_1} \overline{x_2} x_3 x_4 \vee x_1 x_2 \overline{x_3} x_4 = x_3 (x_4 \vee x_1 \overline{x_2}) \vee x_1 x_2 (x_3 \vee x_4) \vee x_3 x_4 (x_1 \overline{x_2} \vee x_1 x_2);$$

$$g_4 = x_1 x_3 x_4 \vee x_1 \overline{x_2} x_3 \overline{x_4} \vee \overline{x_1} x_2 x_3 x_4 \vee x_1 x_2 x_3 \overline{x_4} = x_1 x_3 x_4 \vee x_3 (x_1 \overline{x_2} \overline{x_4} \vee x_2 (x_1 x_4 \vee x_1 \overline{x_4})).$$

Структура, представленная на рис. 5, имеет следующую ключевую особенность.

Утверждение 1. На выходах схемы сжатия обнаруживается ошибка любой кратности и любого вида, за исключением двукратной симметричной ошибки.

Интерес представляет исследование распространения ошибок с входов схемы сжатия на ее выходы. Однако в данной статье этот вопрос не исследуется.

4. Сжатие сигналов на основе модифицированного кода с суммированием

У структуры организации СВК со сжатием с применением кодеров кодов Бергера имеет-

ся следующий недостаток. Кодеры кодов Бергера имеют неравнозначные выходы в смысле формирования и распределения на них единичных и нулевых значений и распространения ошибок с входов на выходы. Так, значение на младшем разряде каждого из кодеров будет искажаться при однократной и трехкратной ошибках, значение же на втором выходе будет искажаться только при двукратной и трехкратной ошибках. Вероятность искажения одного разряда гораздо выше, чем двух и трех.

Улучшения характеристик обнаружения ошибок на выходах схемы сжатия можно добиться путем использования другого кода с суммированием — кода с суммированием взвешенных переходов, или T -кода [11].

Правила определения значений контрольных разрядов в кодовом слове кода с суммированием взвешенных переходов:

1. Переходам между разрядами информационного вектора, начиная с младшего разряда, присваиваются весовые коэффициенты $w_{i,i+1}$ из ряда возрастающих степеней числа 2:

$$[w_{i,i+1}] = [w_{m-1,m}, w_{m-2,m-1}, \dots, w_{2,3}, w_{1,2}] = [2^{m-2}, 2^{m-3}, \dots, 2^1, 2^0].$$

2. Подсчитывается суммарный вес активных переходов:

$$W = \sum_{i=1}^{m-1} w_{i,i+1} t_{i,i+1},$$

где $t_{i,i+1} = f_i \oplus f_{i+1}$ — функция активации перехода между разрядами f_i и f_{i+1} .

3. Полученное число представляется в двоичном виде и записывается в разряды контрольного вектора.

Значения контрольных разрядов могут быть определены по следующим формулам:

$$h_1 = f_1 \oplus f_2;$$

$$h_2 = f_2 \oplus f_3;$$

...

$$h_{m-1} = f_{m-1} \oplus f_m.$$

Так как для получения значений контрольных разрядов кода с суммированием взвешенных переходов используются только операции сложения по модулю два, структура кодера данного кода будет стандартной и будет содержать в себе $m - 1$ элемент сложения по модулю два. Структура организации СВК со сжатием сигналов с помощью T -кода, представлена на рис. 6. В ней гораздо проще обеспечивается тестируемость элементов XOR в схеме сжатия сигналов, сам кодер проще и обнаруживается большее число ошибок.

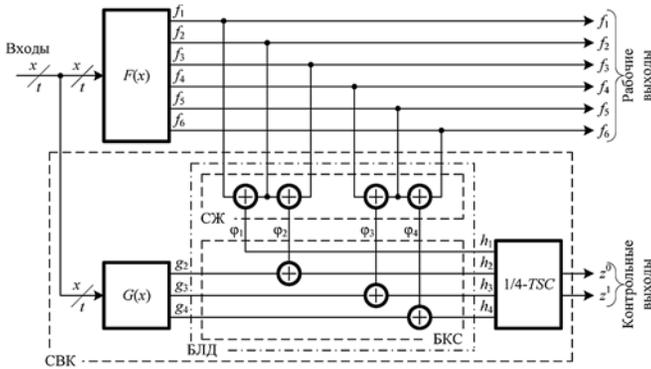


Рис. 6. Структура организации СВК на основе преобразования информационного вектора в контрольный вектор T -кода

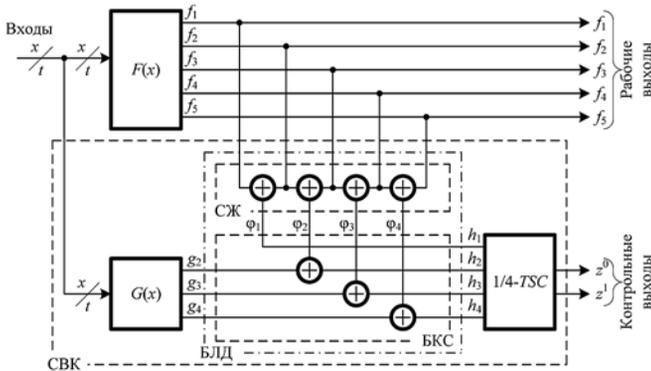


Рис. 7. Базовая структура организации СВК для устройства с пятью выходами на основе преобразования информационного вектора в контрольный вектор T -кода

Из работы [11] известно, что T -кодом обнаруживаются любые ошибки с кратностями $d \leq m - 1$, однако не обнаруживаются любые ошибки с кратностями $d = m$. Поэтому при синтезе СВК по данным кодам согласно структуре, приведенной на рис. 6, требуется осуществлять поиск групп выходов, в которых возможны ошибки только с кратностями $d = 1$ и $d = 2$. Это следует из того факта, что сигналы с трех рабочих выходов устройства $F(x)$ сжимаются в два сигнала (длина информационного вектора T -кода равна трем).

Поиск групп, в которых возможны только искажения с кратностями $d = 1$ и $d = 2$, может быть осуществлен на основании следующего утверждения.

Утверждение 2. В группе из трех выходов невозможно одновременное искажение всех выходов, если для любого логического элемента G_q внутренней структуры объекта диагностирования выполняется условие

$$\frac{\partial f_a}{\partial y_q} \cdot \frac{\partial f_b}{\partial y_q} \cdot \frac{\partial f_c}{\partial y_q} = 0,$$

где f_a, f_b, f_c — выходы, образующие группу, y_q — функция, реализуемая на выходе логического элемента G_q , $q \in Q$, Q — множество логических элементов.

Если выражение в левой части представленной выше формулы равно нулю, то не существует ни одного входного набора, на котором происходит трансляция ошибок на все три выхода выбранной группы.

Учитывая особенности T -кода, можно предложить еще один вариант организации базовой структуры для устройства с пятью выходами (рис. 7). В этой структуре будут обнаруживаться любые ошибки на выходе объекта диагностирования, за исключением ошибок с кратностями $d = 5$.

Утверждение 3. В группе из пяти выходов невозможно одновременное искажение всех выходов, если для любого логического элемента G_q внутренней структуры объекта диагностирования выполняется условие

$$\frac{\partial f_1}{\partial y_q} \cdot \frac{\partial f_2}{\partial y_q} \cdot \frac{\partial f_3}{\partial y_q} \cdot \frac{\partial f_4}{\partial y_q} \cdot \frac{\partial f_5}{\partial y_q} = 0.$$

Заключение

Использование метода логического дополнения на практике дает возможность синтеза большого числа вариантов СВК для одного и того же устройства, что является несомненным его преимуществом перед другими методами. Предложенный в настоящей статье способ организации СВК позволяет уменьшать сложность технической реализации самопроверяемых цифровых устройств для многovyходных исходных объектов. При этом достаточно просто обеспечивается полная самопроверяемость СВК.

Среди недостатков предлагаемого метода необходимо отметить возможность маскировки ошибок на выходах объекта диагностирования при использовании схемы сжатия. Тем не менее, этот недостаток нивелируется при выборе групп сжимаемых выходов, либо же при использовании специального преобразования структуры исходного объекта [10, 11, 13, 28–30].

Исследованиям применения схем сжатия при организации СВК к настоящему времени уделено недостаточно внимания, а в качестве перспектив их использования можно выделить применение кодеров модифицированных кодов с суммированием, обладающих улучшенными характеристиками обнаружения ошибок в информационных векторах по сравнению с классическими кодами Бергера.

Список литературы

1. Fujiwara E. Code Design for Dependable Systems: Theory and Practical Applications. John Wiley & Sons, 2006, 720 p.
2. Ubar R., Raik J., Vierhaus H.-T. Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source). Information Science Reference, Hershey, New York, IGI Global, 2011. 578 p.

3. Дрозд А. В., Харченко В. С., Антошук С. Г., Дрозд Ю. В., Дрозд М. А., Сулима Ю. Ю. Рабочее диагностирование безопасных информационно-управляющих систем. Харьков: Национальный аэрокосмический университет им. Н. Е. Жуковского "ХАИ", 2012. 614 с.
4. Nahapan V. Cyber Physical Computing for IoT-driven Services. New York: Springer International Publishing AG, 2018. 279 p. doi: 10.1007/978-3-319-54825-8.
5. Согомонян Е. С., Слабаков Е. В. Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989. 208 с.
6. Пархоменко П. П., Согомонян Е. С. Основы технической диагностики (оптимизация алгоритмов диагностирования, аппаратные средства). М.: Энергоатомиздат, 1981. 320 с.
7. Piestrak S. J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. — Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995, 111 p.
8. Abramovici M., Breuer M. A., Friedman A. D. Digital System Testing and Testable Design. New Jersey: IEEE Press, 1998. 652 p.
9. Lala P. K. Principles of Modern Digital Design. New Jersey, John Wiley & Sons, 2007. 419 p.
10. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Коды с суммированием для систем технического диагностирования. Том 1: Классические коды Бергера и их модификации. М.: Наука, 2020. 383 с.
11. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Коды с суммированием для систем технического диагностирования. Том 2: Взвешенные коды с суммированием. М.: Наука, 2021. 455 с.
12. Saposhnikov VI. V., Dmitriev A., Goessel M., Saposhnikov V. V. Self-Dual Parity Checking — a New Method for on Line Testing // Proceedings of 14th IEEE VLSI Test Symposium, USA, Princeton. 1996. P. 162—168.
13. Gössel M., Ocheretny V., Sogomonyan E., Marienfeld D. New Methods of Concurrent Checking: Edition 1. Dordrecht: Springer Science + Business Media B. V., 2008. 184 p.
14. Sen S. K., Roy S. S. An Optimized Concurrent Self-Checker Using Constraint-Don't Cares and 1-out-of-4 Code // National Conference (AECDISC'2008) in Asansol Engineering College. Held during 1-2 August 2008.
15. Sen S. K. A Self-Checking Circuit for Concurrent Checking by 1-out-of-4 code with Design Optimization using Constraint Don't Cares // National Conference on Emerging trends and advances in Electrical Engineering and Renewable Energy (NCEEERE'2010), Sikkim Manipal Institute of Technology. Sikkim, held during 22—24 December, 2010.
16. Das D. K., Roy S. S., Dmitriev A., Morozov A., Gössel M. Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes // Proceedings of the 10th International Workshops on Boolean Problems. Freiberg, Germany, September, 2012. P. 33—40.
17. Пивоваров Д. В. Организация систем функционального контроля комбинационных логических схем на основе метода логического дополнения по равновесному коду "1 из 5" // Автоматика на транспорте. 2017. Т. 3. № 4. С. 605—624.
18. Efanov D. V., Sapozhnikov V. V., Sapozhnikov VI. V., Pivovarov D. V. The Synthesis Conditions of Completely Self-Testing Embedded-Control Circuits Based on the Boolean Complement Method to the "1-out-of-m" Constant-Weight Code // Automatic Control and Computer Sciences. 2020. Vol. 54, Iss. 2. P. 89—99. DOI: 10.3103/S0146411620020042.
19. Freiman C. V. Optimal Error Detection Codes for Completely Asymmetric Binary Channels // Information and Control. 1962. Vol. 5, Iss. 1. P. 64—71. DOI: 10.1016/S0019-9958(62)90223-1.
20. Berger J. M. A Note on Error Detection Codes for Asymmetric Channels // Information and Control. 1961. Vol. 4, Iss. 1. P. 68—73. DOI: 10.1016/S0019-9958(61)80037-5.
21. Efanov D., Sapozhnikov V., Sapozhnikov VI., Osadchy G., Pivovarov D. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems // Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019), Batumi, Georgia, September 13—16. 2019. P. 136—143. doi: 10.1109/EWDTS.2019.8884398.
22. Пивоваров Д. В. Построение систем функционального контроля многовыходных комбинационных схем методом логического дополнения по равновесным кодам // Автоматика на транспорте. 2018. Т. 4, № 1. С. 131—149.
23. Nikolos D. Self-Testing Embedded Two-Rail Checkers // Chapter 7 in On-Line Testing for VLSI. 1998. P. 69—79. DOI 10.1007/978-1-4757-60-69-9_7.
24. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Синтез схемы встроенного контроля для многовыходных комбинационных устройств на основе логического дополнения и сжатия сигналов // Известия вузов. Приборостроение. 2020. Т. 63, № 7. С. 581—597. DOI: 10.17586/0021-3454-2020-63-7-581-597.
25. Ефанов Д. В., Сапожников В. В., Сапожников Вл. В., Осадчий Г. В. Синтез схем встроенного контроля на основе метода логического дополнения с предварительным сжатием сигналов рабочих функций // Вестник Томского государственного университета. Управление, вычислительная техника и информатика. 2021. № 1. С. 97—115. DOI: 10.17223/19988605/54/12.
26. Efanov D. V., Sapozhnikov V. V., Sapozhnikov VI. V. Organization of Testing of Combinational Devices Based on Boolean Complement to Constant-Weight "1-out-of-4" Code with Signal Compression // Automatic Control and Computer Science. 2021. Vol. 55, Iss. 2. P. 113—124. DOI: 10.3103/S014641126102005X.
27. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Метод функционального контроля комбинационных логических устройств на основе кода "2 из 4" // Известия вузов. Приборостроение. 2016. Т. 59, № 7. С. 524—533. DOI: 10.17586/0021-3454-2016-59-7-524-533.
28. Busaba F. Y., Lala P. K. Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors // Journal of Electronic Testing: Theory and Applications. 1994. Vol. 5, Iss. 5. P. 19—28.
29. Matrosova A., Levin I., Ostanin S. Survivable Self-Checking Sequential Circuits // Proceedings of 2001 IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'2001), USA, CA, San Francisco, October 24—26. 2001. P. 395—402.
30. Sogomonyan E. S., Gössel M. Design of Self-Testing and On-Line Fault Detection Combinational Circuits with Weakly Independent Outputs // Journal of Electronic Testing: Theory and Applications. 1993. Vol. 4, Iss. 4. P. 267—281. DOI: 10.1007/BF00971975.

D. V. Efanov, D. Sc., Associate Professor, e-mail: TrES-4b@yandex.ru,
 Scientific and Technical Center "Integrated Monitoring Systems" LLC,
 Peter the Great St. Petersburg Polytechnic University, St. Petersburg, Russian Federation,
 Russian University of Transport, Moscow, Russian Federation,
V. V. Saposhnikov, D. Sc., Professor, e-mail: port.at.pgups@gmail.com,
VI. V. Saposhnikov, D. Sc., Associate Professor, e-mail: at.pgups@gmail.com,
 Emperor Alexander I St. Petersburg State Transport University, St. Petersburg, Russian Federation

The Concurrent Error-Detection Systems Organization Based on the Boolean Complement Method with the Preliminary Transformation of Operating Functions into Check Vectors of Berger Codes

The article describes a new way of concurrent error-detection (CED) systems organization using the Boolean complement method, which involves the use of pre-compression of signals from the diagnostic object using encoders of classical sum codes (Berger codes). Control of compressed signals is carried out using the constant-weight "1-out-of-4" code. In comparison with the known methods of the CED systems organization, it is possible to implement a self-checking digital device using one such circuit, and this significantly reduces the structural redundancy. The article suggests using the encoders of modified Berger codes with improved error detection characteristics as a compression scheme.

Keywords: calculation checking; combinational devices checking; Boolean complement method; signals compression; constant-weight code; Berger code; error detection

Acknowledgements: This work was supported by the grant no. MD-2533.2021.4 of the President of the Russian Federation.

DOI: 10.17587/it.27.306-313

References

1. **Fujiwara E.** Code Design for Dependable Systems: Theory and Practical Applications, John Wiley & Sons, 2006, 720 p.
2. **Ubar R., Raik J., Vierhaus H.-T.** Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source). Information Science Reference, Hershey New York, IGI Global, 2011, 578 p.
3. **Drozd A. V., Kharchenko V. S., Antoshchuk S. G., Drozd Yu. V., Drozd M. A., Sulima Yu. Yu.** Objects and Methods of On-Line Testing for Safe Instrumentation and Control Systems, Kharkov, National Aerospace University "KhAI, 2012, 614 p. (in Russian).
4. **Hahanov V.** Cyber Physical Computing for IoT-driven Services, New York, Springer International Publishing AG, 2018, 279 p., doi: 10.1007/978-3-319-54825-8.
5. **Sogomonyan E. S., Slabakov E. V.** Self-checking devices and fault-tolerant systems, Radio & Svyaz, Moscow, 208 p. (in Russian).
6. **Parkhomenko P. P., Sogomonyan E. S.** Fundamentals of technical diagnostics (optimization of diagnostic algorithms, hardware, Moscow, Energoatomizdat, 1981, 320 p. (in Russian).
7. **Piestrak S. J.** Design of Self-Testing Checkers for Unidirectional Error Detecting Codes, Wrocław, Oficyna Wydawnicza Politechniki Wrocławskiej, 1995, 111 p.
8. **Abramovici M., Breuer M. A., Friedman A. D.** Digital System Testing and Testable Design, New Jersey, IEEE Press, 1998, 652 p.
9. **Lala P. K.** Principles of Modern Digital Design, New Jersey, John Wiley & Sons, 2007, 419 p.
10. **Sapozhnikov V. V., Sapozhnikov V. V., Efanov D. V.** Sum codes for technical diagnostic systems. Volume 1: Classic Berger codes and their modifications, Moscow, Nauka, 2020, 383 p. (in Russian).
11. **Sapozhnikov V. V., Sapozhnikov V. V., Efanov D. V.** Sum codes for technical diagnostic systems. Volume 2: Weighted codes with summation, Moscow, Nauka, 2021, 455 p. (in Russian).
12. **Saposhnikov V. V., Dmitriev A., Goessel M., Saposhnikov V. V.** Self-Dual Parity Checking a New Method for on Line Testing, *Proceedings of 14th IEEE VLSI Test Symposium*, USA, Princeton, 1996, pp. 162–168.
13. **Gössel M., Ocheretny V., Sogomonyan E., Marienfeld D.** New Methods of Concurrent Checking: Edition 1. Dordrecht: Springer Science + Business Media B. V., 2008, 184 p.
14. **Sen S. K., Roy S. S.** An Optimized Concurrent Self-Checker Using Constraint-Don't Cares and 1-out-of-4 Code, *National Conference (AECDISC'2008) in Asansol Engineering College*, held during 1–2 August 2008.
15. **Sen S. K.** A Self-Checking Circuit for Concurrent Checking by 1-out-of-4 code with Design Optimization using Constraint Don't Cares, *National Conference on Emerging trends and advances in Electrical Engineering and Renewable Energy (NCEEERE'2010)*, Sikkim Manipal Institute of Technology, Sikkim, held during 22–24 December, 2010.
16. **Das D. K., Roy S. S., Dmitriev A., Morozov A., Gössel M.** Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes, *Proceedings of the 10th International Workshops on Boolean Problems*, Freiberg, Germany, September, 2012, pp. 33–40.
17. **Pivovarov D. V.** Organization of concurrent error-detection systems for combinational logic circuits based on the method of Boolean complement according to the constant-weight code "1-out-of-5", *Avtomatika na Transporte*, 2017, vol. 3, iss. 4, pp. 605–624 (in Russian).
18. **Efanov D. V., Sapozhnikov V. V., Sapozhnikov V. V., Pivovarov D. V.** The Synthesis Conditions of Completely Self-Testing Embedded-Control Circuits Based on the Boolean Complement Method to the "1-out-of-m" Constant-Weight Code, *Automatic Control and Computer Sciences*, 2020, vol. 54, iss. 2, pp. 89–99. DOI: 10.3103/S0146411620020042.
19. **Freiman C. V.** Optimal Error Detection Codes for Completely Asymmetric Binary Channels, *Information and Control*, 1962, vol. 5, iss. 1, pp. 64–71. DOI: 10.1016/S0019-9958(62)90223-1.
20. **Berger J. M.** A Note on Error Detection Codes for Asymmetric Channels, *Information and Control*, 1961, vol. 4, iss. 1, pp. 68–73. DOI: 10.1016/S0019-9958(61)80037-5.
21. **Efanov D., Sapozhnikov V., Sapozhnikov V. V., Osadchy G., Pivovarov D.** Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems, *Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019)*, Batumi, Georgia, September 13–16, 2019, pp. 136–143, doi: 10.1109/EWDTS.2019.8884398.
22. **Pivovarov D. V.** Construction of concurrent error-detection systems for multi-output combinational circuits by the Boolean complement method using constant-weight codes, *Avtomatika na Transporte*, 2018, vol. 4, iss. 1, pp. 131–149 (in Russian).
23. **Nikolos D.** Self-Testing Embedded Two-Rail Checkers, *Chapter 7 in On-Line Testing for VLSI*, 1998, pp. 69–79. DOI 10.1007/978-1-4757-60-69-9_7.
24. **Sapozhnikov V. V., Sapozhnikov V. V., Efanov D. V.** Synthesis of a built-in control circuit for multi-output combinational devices based on Boolean complement and signal compression, *Izvestiya vuzov. Priborostroenie*, 2020, vol. 63, iss. 7, pp. 581–597. DOI: 10.17586 / 0021-3454-2020-63-7-581-597 (in Russian).
25. **Efanov D. V., Sapozhnikov V. V., Sapozhnikov V. V., Osadchy G. V.** Synthesis of built-in control circuits based on the Boolean complement method with preliminary compression of signals of working functions, *Bulletin of the Tomsk State University. Management, computer technology and informatics*, 2021, iss. 1, pp. 97–115. DOI: 10.17223/19988605/54/12 (in Russian).
26. **Efanov D. V., Sapozhnikov V. V., Sapozhnikov V. V.** Organization of Testing of Combinational Devices Based on Boolean Complement to Constant-Weight "1-out-of-4" Code with Signal Compression, *Automation and Computer Science*, 2021, vol. 55, iss. 2, pp. 113–124. DOI: 10.3103/S014641126102005X.
27. **Sapozhnikov V. V., Sapozhnikov V. V., Efanov D. V.** Method of concurrent error-detection checking of combinational logical devices based on the code "2-out-of-4", *Izvestiya vuzov. Priborostroenie*, 2016, vol. 59, iss. 7, pp. 524–533, DOI: 10.17586/0021-3454-2016-59-7-524-533 (in Russian).
28. **Busaba F. Y., Lala P. K.** Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors, *Journal of Electronic Testing: Theory and Applications*, 1994, vol. 5, iss. 5, pp. 19–28.
29. **Matrosova A., Levin I., Ostanin S.** Survivable Self-Checking Sequential Circuits, *Proceedings of 2001 IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'2001)*, USA, CA, San Francisco, October 24–26, 2001, pp. 395–402.
30. **Sogomonyan E. S., Gössel M.** Design of Self-Testing and On-Line Fault Detection Combinational Circuits with Weakly Independent Outputs, *Journal of Electronic Testing: Theory and Applications*, 1993, vol. 4, iss. 4, pp. 267–281, DOI: 10.1007/BF00971975.