

П. А. Ляхов, канд. физ.-мат. наук, доц., e-mail: ljahov@mail.ru,
А. С. Ионисян, канд. физ.-мат. наук, доц., e-mail: asion@mail.ru,
М. В. Валуева, аспирант, e-mail: mriya.valueva@mail.ru,
А. С. Ларикова, аспирант, e-mail: larikova@gmail.com,
Северо-Кавказский федеральный университет

Высокопроизводительная цифровая фильтрация на модифицированных умножителях с накоплением в системе остаточных классов с модулями специального вида*

Предложен способ выполнения цифровой фильтрации в системе остаточных классов с использованием модифицированных умножителей с накоплением. Проведен анализ цифровых фильтров, использующих арифметику системы остаточных классов, и представлены результаты аппаратного моделирования на FPGA. Показано, что использование системы остаточных классов позволяет увеличить частоту цифровых фильтров примерно в 4 раза, а аппаратные затраты уменьшить в 3 раза по сравнению с использованием традиционной позиционной системы счисления. Полученные результаты открывают возможность для эффективной аппаратной реализации цифровых фильтров на современных устройствах (FPGA, ASIC и др.) для решения практических задач, таких как шумоподавление, усиление и подавление частот, интерполяция, децимация, эквализация и многих других.

Ключевые слова: цифровая обработка сигналов, цифровой фильтр, модулярные умножители с накоплением, система остаточных классов

Введение

Цифровая фильтрация является ядром цифровой обработки сигналов, так как она лежит в основе решения большинства практических задач этой области: шумоподавления [1], усиления и подавления частот [2], интерполяции [3], децимации [4], эквализации [5] и многих других. Инструментом реализации цифровой фильтрации являются цифровые фильтры (ЦФ), которые принято делить на фильтры с конечной импульсной характеристикой (КИХ-ЦФ) и фильтры с бесконечной импульсной характеристикой (БИХ-ЦФ).

В практике цифровой обработки сигналов существует потребность в увеличении производительности устройств. Одним из методов удовлетворения данной потребности является переход к параллельной архитектуре вычислений. Система остаточных классов (СОК) благодаря

свойству отсутствия межразрядных переносов и параллельному выполнению операции сложения чисел может быть эффективно использована в приложениях с преобладающей долей операций сложения, вычитания и умножения [6, 7]. Выбор набора модулей СОК оказывает большое влияние на производительность цифрового устройства [8, 9].

В данной работе для увеличения производительности и сокращения аппаратных затрат предлагается использовать модули специального вида 2^k , $k \in N$ и $2^k - 1$, $k \in N$, $k > 1$. В статье проведен анализ и представлены результаты аппаратного моделирования на FPGA КИХ-ЦФ, использующих модифицированные умножители с накоплением, в СОК и в традиционной позиционной системе счисления (ПСС).

Система остаточных классов

В СОК числа представляются в базисе попарно взаимно простых чисел, называемых модулями, $\beta = \{m_1, \dots, m_n\}$, $\text{НОД}(m_i, m_j) = 1$ для $i \neq j$.

*Работа выполнена при поддержке Российского фонда фундаментальных исследований (№ 19-07-00130 А), совета по грантам Президента Российской Федерации (проекты СП-126.2019.5 и МК-3918.2021.1.6).

Произведение всех модулей СОК $M = \prod_{i=1}^n m_i$ называется динамическим диапазоном системы. Любое целое число $0 \leq X \leq M$ может быть единственным образом представлено в СОК в виде вектора $\{x_1, x_2, \dots, x_n\}$, где $x_i = |X|_{m_i}$ — это наименьший неотрицательный вычет от целого неотрицательного X по модулю m_i [10].

Динамический диапазон СОК обычно делится на две примерно равные части таким образом, чтобы около половины диапазона представляли положительные числа, а остальную часть диапазона — отрицательные. Таким образом, любое целое число, удовлетворяющее одному из двух соотношений:

$$-\frac{M-1}{2} \leq X \leq \frac{M-1}{2}, \text{ для нечетных } M, \quad (1)$$

$$-\frac{M}{2} \leq X \leq \frac{M}{2} - 1, \text{ для четных } M, \quad (2)$$

может быть представлено в СОК.

Операции сложения, вычитания и умножения в СОК определяются формулами

$$A \pm B = (|a_1 \pm b_1|_{m_1}, \dots, |a_n \pm b_n|_{m_n}); \quad (3)$$

$$A \times B = (|a_1 \times b_1|_{m_1}, \dots, |a_n \times b_n|_{m_n}). \quad (4)$$

Равенства (3)—(4) демонстрируют параллельную природу СОК, свободную от поразрядных переносов.

Восстановление числа X по остаткам $\{x_1, x_2, \dots, x_n\}$ основано на китайской теореме об остатках (КТО) [10]:

$$X = \left| \sum_{i=1}^n \left| M_i^{-1} \right|_{m_i} x_i \right|_M, \quad (5)$$

где $M_i = \frac{M}{m_i}$. Элемент $|M_i^{-1}|_{m_i}$ означает мультипликативный обратный элемент для M_i .

Преимущества представления чисел в СОК могут быть сформулированы следующим образом [8].

1. В СОК отсутствует распространение переноса между арифметическими блоками, и числа большой размерности представляются в виде небольших остатков, что приводит к ускорению в обработке данных.

2. При представлении данных с использованием СОК числа большой размерности кодируются в набор небольших остатков, соответственно, уменьшается сложность арифметических устройств в каждом канале модуля, что облегчает и упрощает работу вычислительной системы.

3. В СОК отсутствует зависимость между арифметическими блоками при выполнении модульных операций, следовательно, ошибка

в одном канале не распространяется на другие. Таким образом, упрощается процесс обнаружения и исправления ошибок.

Однако, несмотря на преимущества, СОК имеет ряд недостатков. Основным недостатком СОК является сложность выполнения операций определения знака, сравнения двух чисел, деления и некоторых других.

Обоснование выбора набора модулей системы остаточных классов

Важной задачей при разработке прикладной системы, использующей вычисления в СОК, является выбор набора модулей $\{m_1, \dots, m_n\}$. В большинстве современных работ, посвященных прикладному применению СОК, используется модуль, равный степени двойки, т. е. 2^k , $k \in N$, где N — множество натуральных чисел. Это объясняется тем, что вычисления по модулю 2^k являются наиболее простыми с точки зрения аппаратной реализации, так как они могут быть реализованы в виде обычных арифметических устройств двоичной системы счисления с шириной k бит. Использование модуля 2^k , а также требование попарной взаимной простоты всех модулей СОК, приводит к тому, что все остальные модули системы должны быть нечетными. Для реализации вычислений, требующих суммирования большого числа слагаемых, необходимо использовать наиболее эффективные техники суммирования по модулю, аналогичные используемым в традиционной двоичной системе счисления. Такие техники суммирования разработаны лишь для модулей вида 2^k , $2^k \pm 1$, $k \in N$ [11].

Практическая реализация вычислительного канала по модулю $2^k + 1$, $k \in N$, требует введения дополнительной логики по методу "diminished-1" для отслеживания нулевой кодовой комбинации, что является нежелательным явлением при разработке системы с минимальными аппаратными и временными затратами [12, 13]. Таким образом, целесообразно использовать лишь модули вида $2^k - 1$, $k \in N$, в качестве нечетных модулей системы.

Модулярные сумматоры

Для модулей вида 2^k эффективными подходами к сложению являются сумматоры с сохранением переноса (carry save adder, CSA) [10] и параллельно-префиксные сумматоры Когге—Стоуна (Kogge—Stone adder, KSA) [14].

Базовым устройством при выполнении арифметических операций в ПСС и СОК явля-

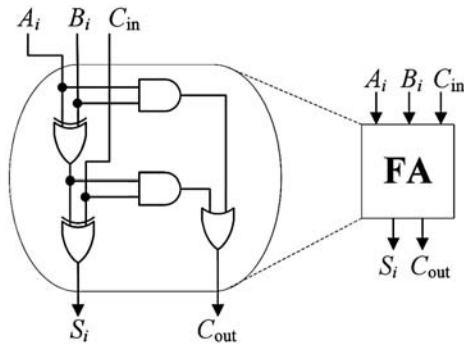


Рис. 1. Логическая схема полного сумматора

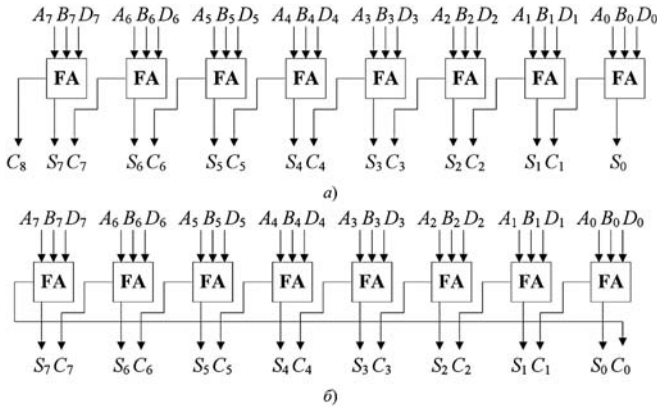


Рис. 2. Логическая схема 8-битного сумматора с сохранением переноса:

a — в ПСС; *б* — по модулю $2^8 - 1$

ется полный сумматор (full adder, FA), изображенный на рис. 1. На вход устройства поступают биты A_i , B_i и C_{in} , которые преобразуются в выходные сигналы S_i и C_{out} по формулам

$$\begin{aligned} S_i &= A_i \oplus B_i \oplus C_{in}, \\ C_{out} &= (A_i \& B_i) \vee (C_{in} \& (A_i \oplus B_i)). \end{aligned} \quad (6)$$

Выходной сигнал S_i является суммой, а выходной сигнал C_{out} — переносом, полученным в полном сумматоре.

На рис. 2 представлен сумматор CSA. Данное устройство преобразует три вектора входных данных A , B и D в два выходных вектора: сумму S и перенос C . При этом количество

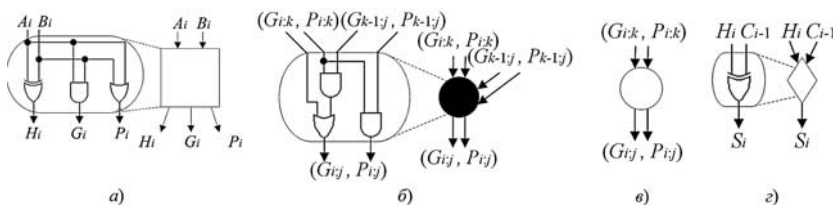


Рис. 3. Устройство блоков сложения параллельно-префиксного сумматора:

a — блок предварительных вычислений; *б, в* — блоки вычисления переносов; *г* — блок вычисления суммы на заключительном этапе

информации для обработки на последующем шаге сокращается в 1,5 раза. На рис. 2, *a* представлена логическая схема сумматора CSA в ПСС, сложение по модулю 2^k проводится аналогично, отличие заключается лишь в обрезке старшего бита переноса. Для сложения по модулю $2^k - 1$ требуется подавать старший бит переноса в первый разряд (рис. 2, *б*), такой сумматор CSA называется сумматором CSA с циклическим переносом (end around carry, EAC) и обозначается EAC-CSA.

Принцип функционирования сумматора KSA для сложения n -битных чисел $A = \sum_{i=0}^{n-1} 2^i A_i$ и $B = \sum_{i=0}^{n-1} 2^i B_i$ заключается в следующем. Сначала осуществляется предварительное вычисление битов G_i , генерирующих перенос, битов P_i , передающих перенос, и полусумм H_i для любого i , $0 \leq i \leq n - 1$ (рис. 3, *a*):

$$G_i = A_i \& B_i, P_i = A_i \vee B_i, H_i = A_i \oplus B_i. \quad (7)$$

Вторая стадия сложения, называемая параллельно-префиксной сетью, вычисляет сигналы переноса C_i для $0 \leq i \leq k - 1$ с использованием G_i и P_i (рис. 3, *б, в*). Для этого используется оператор "o", который связывает пары генерирующих и передающих битов и определен как

$$(G, P) \circ (G', P') = (G \vee (P \& G'), P \& P'). \quad (8)$$

Последовательное вычисление пар генерирующих и передающих битов (G, P) будем обозначать как $(G_{i:j}, P_{i:j})$, $i > j$, где соответствующая пара вычислена на основе битов $i, i - 1, \dots, j$ следующим образом:

$$(G_{i:j}, P_{i:j}) = (G_i, P_i) \circ (G_{i-1}, P_{i-1}) \circ \dots \circ (G_j, P_j). \quad (9)$$

Обозначение " $i : j$ " в формуле (9) показывает вычисление пары (G, P) для i -го бита с учетом всех генерирующих и передающих битов до j -го бита включительно. Так как перенос $C_i = G_{i:0}$ для всех $i > 0$, то все переносы могут быть вычислены с использованием только оператора "o" [14].

На третьей стадии вычисляется сумма (рис. 3, *г*)

$$\begin{aligned} S_0 &= H_0 \oplus C_{in}, S_i = H_i \oplus C_{i-1} \\ \text{для } 1 \leq i \leq k - 1, S_k &= C_{k-1}. \end{aligned} \quad (10)$$

На рис. 4, *a* представлена схема 8-битного сумматора KSA в ПСС, сложение по модулю 2^k выполня-

Цифровая фильтрация в системе остаточных классов

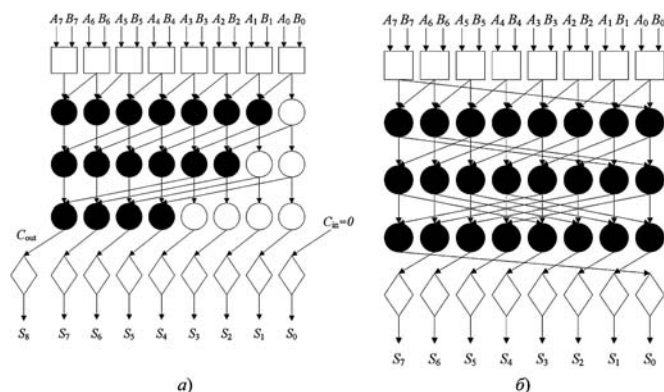


Рис. 4. Структура 8-битного параллельно-префиксного сумматора Когге—Стоуна:

а — для ПСС; б — по модулю $2^8 - 1$

ется аналогично, отличие заключается лишь в обрезке старшего бита переноса. Для сложения по модулю $2^k - 1$ с помощью КСА требуется использование техники ЕАС (рис. 4, б), обозначим такой сумматор как ЕАС-КСА [11].

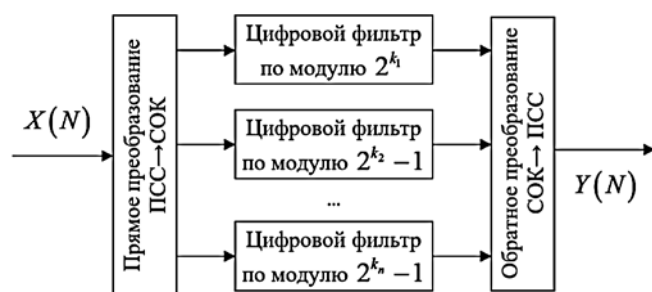


Рис. 5. Схема цифровой фильтрации в СОК $\{2^{k_1}, 2^{k_2} - 1, 2^{k_3} - 1, \dots, 2^{k_n} - 1\}$

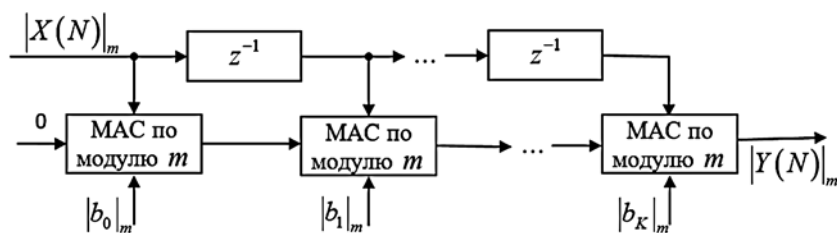


Рис. 6. Схема КИХ-ЦФ по модулю m порядка K на основе блоков МАС по модулю m

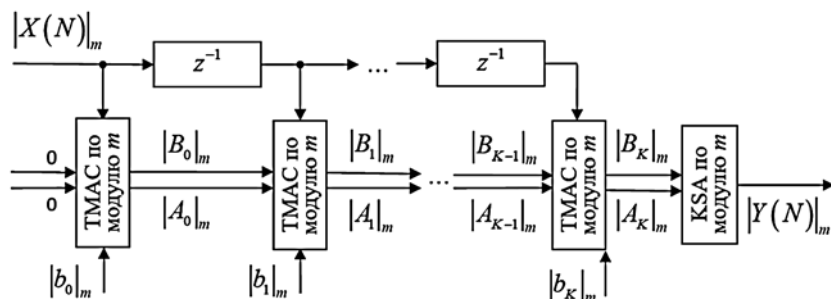


Рис. 7. Схема КИХ-ЦФ по модулю m порядка K на основе блоков ТМАС по модулю m

На рис. 5 представлена схема выполнения цифровой фильтрации в СОК с набором модулей $\{2^{k_1}, 2^{k_2} - 1, 2^{k_3} - 1, \dots, 2^{k_n} - 1\}$. Как видно из рис. 5, для осуществления цифровой фильтрации в указанной СОК необходимо использовать преобразователи ПСС \rightarrow СОК и СОК \rightarrow ПСС, а также представить ЦФ в модулярной форме. На вход КИХ-ЦФ подается последовательность отсчетов сигнала $X(N)$, формируемая аналого-цифровым преобразователем (АЦП) из аналогового сигнала, либо поступающая по вычислительной шине из цифрового источника. На выходе КИХ-ЦФ формируется сигнал $Y(N)$. Для каждого модуля СОК m_i , $i = 1, 2, \dots, n$, ЦФ по модулю выполняет преобразование сигнала по формуле

$$|Y(N)|_{m_i} = \left| \sum_{j=0}^K |b_j|_{m_i} |X(N-j)|_{m_i} \right|_{m_i}, \quad (11)$$

где b_j — коэффициенты фильтра; K — порядок фильтра.

Формула (11) предполагает перевод коэффициентов фильтра в модулярное представление и выполнение всех операций по модулю. Модулярное представление коэффициентов фильтра может быть получено путем преобразования его коэффициентов в формат с фиксированной точкой, с последующим масштабированием в диапазон целых чисел и нахождением остатков от деления на модуль. После того, как коэффициенты фильтра представлены в модулярной форме, фильтрация по формуле (11) может быть выполнена по схеме, изображенной на рис. 6. Символами z^{-1} обозначены блоки задержки сигнала на один отсчет, которые на практике реализуются с помощью буферов. Сумматоры и умножители по модулю объединены в один блок — умножитель с накоплением по модулю (multiply and accumulate, МАС) [10].

В данной работе предлагается заменить МАС-блоки на модифицированные умножители с накоплением (truncated multiply and accumulate, ТМАС). На рис. 7 представлена схема КИХ-ЦФ по модулю m с использованием ТМАС-блоков по модулю m . Принцип работы блока ТМАС по модулю 2^k не отличается от принципа работы блока ТМАС в ПСС (рис. 8, а). Един-

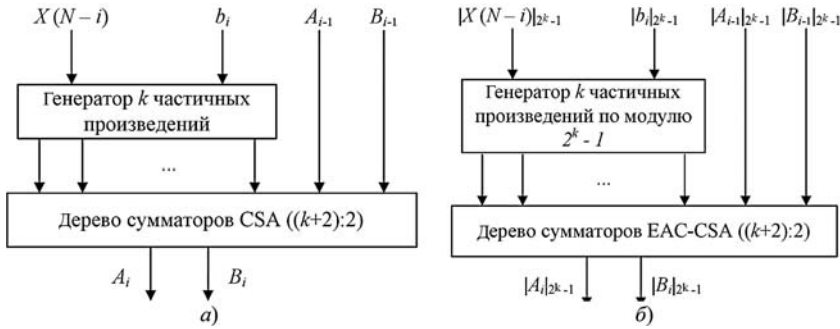


Рис. 8. Структура блока ТМАС:
a — в ПСС; *b* — по модулю $2^k - 1$

ственным отличием блока ТМАС по модулю 2^k является отсутствие устройств и шин для передачи старших значащих битов и переносов, начиная с k -го. Для генерации частичных произведений используется массив вентилях AND размером $k \times k$.

Принцип работы ТМАС-блока по модулю $2^k - 1$ схож с аналогом из ПСС, с той лишь разницей, что все старшие значащие переносы должны подаваться циклически на младший разряд, т. е. должна использоваться техника ЕАС. В дальнейшем будем обозначать такой блок ЕАС-ТМАС. Схема такого устройства, представлена на рис. 8, б. С помощью обозначения $((k + 2):2)$ показано, что на вход дерева сумматоров ЕАС-CSA подаются $(k + 2)$ слагаемых, а на выходе формируются два слагаемых [15].

Оценка параметров цифрового фильтра

Для оценки параметров цифровых устройств будем использовать абстрактную модель подсчета задержки и площади СБИС, известную как "unit-gate"-модель [16]. Если обозначить рассчитанную по указанной модели задержку логического устройства U_{delay} , а площадь логического устройства обозначить U_{area} , то будем иметь следующее описание для логических вентилях:

$$U_{\text{delay}}(NOT) = 0, U_{\text{area}}(NOT) = 0; \quad (12)$$

$$U_{\text{delay}}(AND) = 1, U_{\text{area}}(AND) = 1; \quad (13)$$

$$U_{\text{delay}}(OR) = 1, U_{\text{area}}(OR) = 1; \quad (14)$$

$$U_{\text{delay}}(XOR) = 2, U_{\text{area}}(XOR) = 2; \quad (15)$$

$$U_{\text{delay}}(XNOR) = 2, U_{\text{area}}(XNOR) = 2, \quad (16)$$

где вентиль *NOT* выполняет операцию отрицания, *AND* — операцию конъюнкции, *OR* — операцию дизъюнкции, *XOR* — операцию

сложения по модулю два, *XNOR* — операцию эквивалентности.

Тогда, с учетом формул (6) и (12)–(16), задержка и площадь *FA* может быть записана как

$$U_{\text{delay}}(FA) = 4, U_{\text{area}}(FA) = 7. \quad (17)$$

Параметры задержки и площади CSA и ЕАС-CSA совпадают и описываются следующим образом:

$$U_{\text{delay}}(CSA) = U_{\text{delay}}(FA) = 4; \quad (18)$$

$$U_{\text{area}}(CSA) = k U_{\text{area}}(FA) = 7k. \quad (19)$$

Для сумматоров *KSA* при выполнении условия $C_{\text{in}} = 0$, не требующего логической операции \oplus вычисления S_0 по формуле (10), параметры задержки и площади *KSA* определяются по формулам

$$U_{\text{delay}}(KSA) = 2 + 2 \cdot \lceil \log_2 k \rceil + 2 \approx 2 \log_2 k + 4; \quad (20)$$

$$U_{\text{area}}(KSA) = 4k + 3(k \cdot \lceil \log_2 k \rceil - (2^{\lceil \log_2 k \rceil} - 1)) + 2(k - 1) \approx 3k \log_2 k + 3k + 1. \quad (21)$$

Знак приближенного равенства \approx в формулах (20), (21) означает допущение $\lceil \log_2 k \rceil \approx \log_2 k$ и не вносит погрешности при рассмотрении наиболее распространенных на практике случаев суммирования 8-битных, 16-битных, 32-битных и т. д. чисел. Параметры задержки и площади ЕАС-KSA определяются по формулам

$$U_{\text{delay}}(EAC - KSA) = U_{\text{delay}}(KSA) \approx 2 \log_2 k + 4; \quad (22)$$

$$U_{\text{area}}(EAC - KSA) = 4k + 3(k \cdot \lceil \log_2 k \rceil) + 2k \approx 3k \log_2 k + 6k. \quad (23)$$

Таким образом, параметры U_{delay} и U_{area} блока ТМАС имеют вид

$$U_{\text{delay}}(TMAC) \approx 6,8 \log_2 k + 1; \quad (24)$$

$$U_{\text{area}}(TMAC) \approx k^2 + 7k^2 = 8k^2. \quad (25)$$

Параметры U_{delay} и U_{area} блока ЕАС-ТМАС имеют вид

$$U_{\text{delay}}(EAC - TMAC) \approx 6,8 \log_2 k + 1; \quad (26)$$

$$U_{\text{area}}(EAC - TMAC) \approx k^2 + 7k^2 = 8k^2. \quad (27)$$

Задержка и площадь вычислительной части КИХ-ЦФ, показанного на рис. 8, равна сумме задержек и площадей ТМАС-блоков и сумматора KSA, соответственно. Если обозначить $FIR_{TMAC}^{K,k}$ вычислительную часть КИХ-ЦФ K -го порядка с k -битными коэффициентами на основе ТМАС-блоков, то

$$U_{\text{delay}}(FIR_{TMAC}^{K,k}) = (K + 1)U_{\text{delay}}(TMAC) + U_{\text{delay}}(KSA) \approx 6,8K \log_2 k + 8,8 \log_2 k + K + 5, \quad (28)$$

$$U_{\text{area}}(FIR_{TMAC}^{K,k}) = (K + 1)U_{\text{area}}(TMAC) + U_{\text{area}}(KSA) \approx 3k \log_2 k + 8k^2 K + 8k^2 + 3k + 1. \quad (29)$$

Если обозначить $FIR_{EAC-TMAC}^{K,k}$ вычислительную часть КИХ-ЦФ K -го порядка с k -битными коэффициентами по модулю $2^k - 1$ на основе EAC-ТМАС-блоков, то

$$U_{\text{delay}}(FIR_{EAC-TMAC}^{K,k}) = (K + 1)U_{\text{delay}}(EAC - TMAC) + U_{\text{delay}}(EAC - KSA) \approx 6,8K \log_2 k + 8,8 \log_2 k + K + 5, \quad (30)$$

$$U_{\text{area}}(FIR_{EAC-TMAC}^{K,k}) = (K + 1)U_{\text{area}}(EAC - TMAC) + U_{\text{area}}(EAC - KSA) \approx 3k \log_2 k + 8k^2 K + 8k^2 + 6k. \quad (31)$$

Сравнительный анализ цифровых фильтров

Для сравнения параметров задержки и скорости фильтров в различных системах счисления рассмотрим устройства одинакового порядка K в ПСС и СОК вида $\{2^{k_1}, 2^{k_2} - 1, 2^{k_3} - 1, \dots, 2^{k_n} - 1\}$, содержащие 3, 4 и 5 модулей, как наиболее распространенные случаи [9]. Несмотря на то, что при $n > 2$ невозможно существование идеально сбалансированного случая $k_1 = k_2 = \dots = k_n$, мы будем считать, что все эти степени примерно равны между собой. Это означает, что разрядность обрабатываемых данных в трехмодульной СОК будет приблизительно в три раза меньше, чем в ПСС соответствующего диапазона. Аналогичная картина будет наблюдаться в четырех- и пятимодульных СОК: уменьшение разрядности в 4 и 5 раз, соответственно. При расчетах не будут учитываться блоки прямого ПСС \rightarrow СОК и обратного СОК \rightarrow ПСС преобразований, так как их реализация является отдельной проблемой, не связанной непосредственно с ЦФ [17].

Для сравнительного анализа фильтров в ПСС и СОК зафиксируем поочередно порядок и разрядность фильтра в ПСС. Рассмотрим сначала случай фильтра 15-го порядка, т. е. $K = 15$. Для рассмотренного случая будем изменять разрядность k , перебирая наиболее популярные форматы данных: 8, 16, 32 и 64 бита. Для указанных форматов будем полагать в СОК $k_i > \frac{k}{n}$, т. е. $k_i \approx 3, 6, 11$ и 22 бит для трехмодульной СОК, $k_i \approx 3, 5, 9$ и 17 бит для четырехмодульной СОК, $k_i \approx 2, 4, 7$ и 13 бит для пятимодульной СОК. В табл. 1 приведены значения параметра U_{delay} для перечисленных случаев. В табл. 2 приведены значения параметра U_{area} для перечисленных случаев. Анализ данных, представленных в табл. 1 и 2, показывает, что применение СОК с тремя модулями позволяет сократить время работы КИХ-ЦФ 15-го порядка в 1,3...1,8 раз и аппаратные затраты на его реализацию в 2,3...2,8 раз. СОК с четырьмя модулями позволяет сократить время работы КИХ-ЦФ 15-го порядка в 1,4...1,8 раз и аппаратные затраты на его реализацию в 1,7...3,5 раза. СОК с пятью модулями позволяет сократить время работы КИХ-ЦФ 15-го порядка в 1,5...2,6 раз и аппаратные затраты на его реализацию в 3,1...4,8 раз. В целом, большее число модулей СОК обеспечивает большее преимущество по скорости работы и экономии аппаратных затрат. Кроме того, можно отметить, что с ростом разрядности обрабатываемых данных преиму-

Таблица 1

Значения параметра U_{delay} для КИХ-ЦФ 15-го порядка в ПСС и СОК с различным числом модулей

Разрядность данных, k	ПСС	СОК		
		3 модуля	4 модуля	5 модулей
8	352	196	196	131
16	463	306	277	242
32	574	403	371	331
64	685	514	473	430

Таблица 2

Значения параметра U_{area} для КИХ-ЦФ 15-го порядка в ПСС и СОК с различным числом модулей

Разрядность данных, k	ПСС	СОК		
		3 модуля	4 модуля	5 модулей
8	8289	3553	4737	2650
16	33009	14072	13059	10480
32	131649	47004	42030	31865
64	525633	187135	149210	109272

щества в скорости фильтрации в СОК несколько ослабевают, а преимущества в экономии аппаратных средств, наоборот, усиливаются.

В качестве второго подхода к анализу производительности фильтров в ПСС и СОК с различным числом модулей зафиксируем разрядность обрабатываемых данных в ПСС $k = 16$ и будем варьировать порядки КИХ-ЦФ: $K = 3, 7, 15$ и 31 . Снова будем полагать в СОК $k_i > \frac{k}{n}$, т. е. для трехмодульной СОК $k_i = 6$, для четырехмодульной СОК $k_i = 5$ и, наконец, для пятимодульной СОК $k_i = 4$. В табл. 3 приведены значения параметра U_{delay} для перечисленных случаев. В табл. 4 приведены значения параметра U_{area} для перечисленных случаев. Анализ данных, представленных в табл. 3 и 4, показывает, что применение СОК с тремя модулями позволяет сократить время работы КИХ-ЦФ с $k = 16$ в 1,4...1,5 раза и аппаратные затраты на его реализацию в 2,2...2,3 раза. СОК с четырьмя модулями позволяет сократить время работы КИХ-ЦФ с $k = 16$ в 1,6 раза и аппаратные затраты на его реализацию в 2,4...2,5 раза. СОК с пятью модулями позволяет сократить время работы КИХ-ЦФ с $k = 16$ в 1,8...1,9 раза и аппаратные затраты на его реализацию в 3,0...3,1 раза. Можно отметить, что рост порядка фильтра несколько увеличивает преимущества в скорости фильтрации и в экономии аппаратных средств при использовании СОК.

Аппаратное моделирование цифровых фильтров в системе остаточных классов

Аппаратное моделирование проведено на FPGA Artix xc7a200tffg1156-3 в Xilinx Vivado 18.3 с использованием языка описания аппаратуры VHDL.

Целью моделирования было сравнение технических характеристик КИХ-ЦФ, реализованных в ПСС и в СОК с различными наборами модулей. Для достижения данной цели было проведено аппаратное моделирование устройств, для которых был проведен теоретический анализ данных в табл. 1–4.

В табл. 5 представлены результаты аппаратного моделирования КИХ-ЦФ 15-го порядка с различными разрядностями. Применение СОК с тремя модулями позволяет увеличить частоту КИХ-ЦФ 15-го порядка в 2,0...2,5 раза и аппаратные затраты на его реализацию в 1,3...2,3 раза, при увеличении энергопотребления на 6...19 %. СОК с четырьмя модулями позволяет увеличить частоту КИХ-ЦФ 15-го порядка в 2,1...3,1 раза и аппаратные затраты на

его реализацию в 1,4...2,9 раза, при увеличении энергопотребления на 11...16 %. СОК с пятью модулями позволяет увеличить частоту КИХ-ЦФ 15-го порядка в 2,0...4,2 раза и аппаратные затраты на его реализацию в 1,1...2,6 раза, при увеличении энергопотребления на 7...33 %.

Результаты аппаратного моделирования, представленные в табл. 6, показывают, что применение СОК с тремя модулями позволяет увеличить частоту КИХ-ЦФ с $k = 16$ в 1,9...2,2 раза и сократить аппаратные затраты на его реализа-

Таблица 3

Значения параметра U_{delay} для КИХ-ЦФ в ПСС с $k = 16$ и СОК с различным числом модулей

Порядок фильтра, K	ПСС	СОК		
		3 модуля	4 модуля	5 модулей
3	125	83	76	66
7	238	158	143	125
15	463	306	277	242
31	914	604	546	475

Таблица 4

Значения параметра U_{area} для КИХ-ЦФ в ПСС с $k = 16$ и СОК с различным числом модулей

Порядок фильтра, K	ПСС	СОК		
		3 модуля	4 модуля	5 модулей
3	8433	3704	3459	2800
7	16625	7160	6659	5360
15	33009	14072	13059	10480
31	65777	27896	25859	20720

Таблица 5

Результаты моделирования для КИХ-ЦФ 15-го порядка в СОК с различным числом модулей

Характеристики	k	Система счисления			
		СОК			ПСС
		3 модуля	4 модуля	5 модулей	
Максимальная частота, МГц	16	278	285	283	139
	32	145	200	212	71
	64	71	90	123	29
Число LUT	16	638	588	740	801
	32	1644	1603	1388	2637
	64	4162	3348	3767	9645
Энергопотребление, Вт	16	0,335	0,353	0,413	0,315
	32	0,390	0,441	0,425	0,396
	64	0,464	0,445	0,560	0,376

Таблица 6

Результаты моделирования для КИХ-ЦФ в ПСС с $k = 16$
и СОК с различным числом модулей

Характеристики	K	Система счисления				ПСС
		СОК				
		3 модуля	4 модуля	5 модулей		
Максимальная частота, МГц	3	295	315	310	149	
	7	292	315	305	132	
	15	278	285	283	139	
	31	258	279	266	135	
Число LUT	3	241	193	261	433	
	7	371	332	422	426	
	15	638	588	740	801	
	31	1157	1097	1382	1283	
Энергопотребление, Вт	3	0,372	0,323	0,338	0,337	
	7	0,386	0,340	0,377	0,331	
	15	0,335	0,353	0,413	0,315	
	31	0,433	0,456	0,469	0,372	

цию на 10...44 %, при увеличении энергопотребления на 6...17 %. СОК с четырьмя модулями позволяет увеличить частоту КИХ-ЦФ с $k = 16$ в 2...2,4 раза и сократить аппаратные затраты на его реализацию на 15...55 % раз, при увеличении энергопотребления на 3...23 %. СОК с пятью модулями позволяет увеличить частоту КИХ-ЦФ с $k = 16$ примерно в два раза и сократить аппаратные затраты на его реализацию на 1...40 %, при увеличении энергопотребления на 0,3...31 %.

Разница в теоретических и практических результатах объясняется особенностями FPGA и недостатком "unit-gate" модели, который заключается в игнорировании эффектов нагрузочной способности выходов как отдельных логических элементов, так и микросхемы в целом.

Заключение

В работе рассмотрено выполнение цифровой фильтрации в СОК с использованием модифицированных умножителей с накоплением ТМАС. Результаты аппаратного моделирования на FPGA показали, что использование СОК позволяет увеличить частоту ЦФ примерно в четыре раза, а аппаратные затраты уменьшить в три раза, при увеличении энергопотребления на 33 %, по сравнению с реализацией ЦФ в ПСС.

Полученные результаты могут быть использованы для эффективной аппаратной реализации ЦФ на современных микроэлектронных устройствах, таких как FPGA и ASIC, и для решения практических задач цифровой обработки сигналов.

Список литературы

1. Bhaskar P. C., Bhaskar P. C., Uplane M. D. FPGA based digital FIR multilevel filtering for ECG Denoising // 2015 International Conference on Information Processing (ICIP). Pune. 2015. P. 733–738.
2. Хуако Р. А. Исследование возможности построения одноантенного ретранслятора с коэффициентом усиления больше единицы // Инфокоммуникационные технологии. 2012. Т. 10, № 2. С. 76–80.
3. Porshnev S. V., Kusaykin D. V., Klevakin M. A. On accuracy of periodic discrete finite-length signal reconstruction by means of a Whittaker-Kotelnikov-Shannon interpolation formula // 2018 Ural Symposium on Biomedical Engineering, Radioelectronics and Information Technology (USBEREIT). Yekaterinburg, 2018. P. 165–168.
4. Tang F. et al. An Area-Efficient Column-Parallel Digital Decimation Filter With Pre-BWI Topology for CMOS Image Sensor // IEEE Transactions on Circuits and Systems I: Regular Papers. Aug. 2018. Vol. 65, N. 8. P. 2524–2533.
5. Kiran S. et al. Modeling of ADC-Based Serial Link Receivers With Embedded and Digital Equalization // IEEE Transactions on Components, Packaging and Manufacturing Technology. March 2019. Vol. 9, N. 3. P. 536–548.
6. Omondi A., Premkumar V. Residue Number Systems: Theory and Implementation. Imperial College Press, 2007. 296 p.
7. Червяков Н. И., Сахнюк П. А., Шапошников П. А., Ряднов С. А. Модулярные параллельные вычислительные структуры нейропроцессорных систем. М.: ФИЗМАТЛИТ, 2003. 288 с.
8. Акушский И. Я., Юдицкий Д. И. Машинная арифметика в остаточных классах. М.: Советское радио, 1968. 440 с.
9. Molahosseini A. S., Sorouri S., Zarandi A. A. Research challenges in next-generation residue number system architectures // 2012, 7th International Conference on Computer Science & Education (ICCSE). IEEE, 2012. P. 1658–1661.
10. Parhami B. Computer Arithmetic: Algorithms and Hardware Designs. Oxford University Press, Inc., 2000. 492 p.
11. Vergos H. T., Dimitrakopoulos G. On Modulo $2^n + 1$ Adder Design // IEEE Transactions on Computers. 2012. Vol. 61, N. 2. P. 173–186.
12. Rao K. R., Yip P. C. The Transform and Data Compression Handbook. CRC press, 2001. 399 p.
13. Živaljević D., Stamenković N., Stojanović V. Digital filter implementation based on the RNS with diminished-1 encoded channel // 2012 35th International Conference on Telecommunications and Signal Processing (TSP). Prague, 2012. P. 662–666.
14. Kogge P. M., Stone H. S. A Parallel Algorithm for the Efficient Solution of a General Class of Recurrence Equations // IEEE Trans. Comput. 1973. Vol. C-22, N. 8. P. 786–793.
15. Patel R. A. et al. Novel power-delay-area-efficient approach to generic modular addition // IEEE Transactions on Circuits and Systems I: Regular Papers. 2007. Vol. 54, N. 6. P. 1279–1292.
16. Zimmermann R. Binary adder architectures for cell-based VLSI and their synthesis. Hartung-Gorre, 1998.
17. Амербаев В. М., Соловьев Р. А., Тельпухов Д. В., Балака Е. С. Построение обратных преобразователей модулярной арифметики с коррекцией ошибок на базе полиадического кода // Нейрокомпьютеры: разработка, применение. 2014. № 9. С. 30–35.

P. A. Lyakhov, PhD of Physics and Mathematics Sciences, Assistant Professor, Department of Applied Mathematics and Mathematical Modeling, e-mail: ljahov@mail.ru,
A. S. Ionisyan, PhD of Physics and Mathematics Sciences, Assistant Professor, Department of Applied Mathematics and Mathematical Modeling, e-mail: asion@mail.ru,
M. V. Valueva, PhD student, e-mail: mriya.valueva@mail.ru,
A. S. Larikova, PhD student, e-mail: larikova@gmail.com,
North-Caucasus Federal University, Stavropol, 357736, Russian Federation

High Performance Digital Filtering on Modified Multiply and Accumulate Unit in Residue Number System with Special Type of Moduli

The paper proposes the implementation of digital filtering using residue number system and the modified truncated multiply and accumulate unit. The work was carried out a theoretical analysis of digital filters using residue number system arithmetic and implemented hardware simulation on FPGA. FPGA hardware simulation results show that the use of residue number system allows to increase the frequency of digital filters up to about 4 times and hardware costs reduce up to 3 times compared to using a common positional number system. The obtained results open up the possibility for efficient hardware implementation of digital filters on modern devices (FPGA, ASIC and etc.) to solve practical problems, such as noise reduction, amplification and suppression of the frequency spectrum, interpolation, decimation, equalization and many others.

Keywords: digital signal processing, digital filter, multiply and accumulate unit, residue number system

Acknowledgments: This work was supported by the Russian Federation for Basic Research (projects no. 19-07-00130A) and by the Presidential Grant of the Russian Federation (projects no. SP-126.2019.5 and no. MK-3918.2021.1.6).

DOI: 10.17587/it.27.171-179

References

1. **Bhaskar P. C., Bhaskar P. C., Uplane M. D.** FPGA based digital FIR multilevel filtering for ECG Denoising, *2015 International Conference on Information Processing (ICIP)*, Pune, 2015, pp. 733–738.
2. **Huako R. A.** Issledovanie vozmozhnosti postroeniya odno-antennogo retransl'yatora s koefitsientom usileniya bol'she edinici, *Infokommunikacionnie tehnologii*, 2012, vol. 10, no. 2, pp. 76–80 (in Russian).
3. **Porshnev S. V., Kusaykin D. V., Klevakin M. A.** On accuracy of periodic discrete finite-length signal reconstruction by means of a Whittaker-Kotelnikov-Shannon interpolation formula, *2018 Ural Symposium on Biomedical Engineering, Radioelectronics and Information Technology (USBEREIT)*, Yekaterinburg, 2018, pp. 165–168.
4. **Tang F., Wang Z., Xia Y., Liu F., Zhou X., Hu S., Lin Z., Bermak A.** An Area-Efficient Column-Parallel Digital Decimation Filter With Pre-BWI Topology for CMOS Image Sensor, *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2018, vol. 65, no. 8, pp. 2524–2533.
5. **Kiran S., Shafik A., Tabasy E. Z., Cai S., Lee K., Hoyos S., Palermo S.** Modeling of ADC-Based Serial Link Receivers With Embedded and Digital Equalization, *IEEE Transactions on Components, Packaging and Manufacturing Technology*, March 2019, vol. 9, no. 3, pp. 536–548.
6. **Omondi A., Premkumar B.** Residue Number Systems: Theory and Implementation, Imperial College Press, 2007, p. 296.
7. **Chervyakov N. I., Sahnyuk P. A., Shaposhnikov A. V., Ryadnov S. A.** Modul'yarnie parallel'nie vichisleniya strukturi neyriprocessornih system, Moscow, FIZMATLIT, 2003, 288 p. (in Russian).
8. **Akushskij I. Y., Yudichij D. I.** Machine arithmetic in residual classes, Moscow, Sovetskoe radio, 1968, 440 p. (in Russian).
9. **Molahosseini A. S., Sorouri S., Zarandi A. A.** Research challenges in next-generation residue number system architectures, *7th International Conference on Computer Science & Education (ICCSE)*, IEEE, 2012, pp. 1658–1661.
10. **Parhami B.** Computer Arithmetic: Algorithms and Hardware Designs, Oxford University Press, Inc., 2000, 492 p. (in Russian).
11. **Vergos H. T., Dimitrakopoulos G.** On Modulo $2^n + 1$ Adder Design, *IEEE Transactions on Computers*, 2012, vol. 61, no. 2, pp. 173–186.
12. **Rao K. R., Yip P. C.** The Transform and Data Compression Handbook, CRC press, 2001, 399 p.
13. **Živaljević D., Stamenković N., Stojanović V.** Digital filter implementation based on the RNS with diminished-1 encoded channel, *35th International Conference on Telecommunications and Signal Processing (TSP)*, Prague, 2012, pp. 662–666.
14. **Kogge P. M., Stone H. S.** A Parallel Algorithm for the Efficient Solution of a General Class of Recurrence Equations, *IEEE Trans. Comput.*, 1973, vol. C-22, no. 8, pp. 786–793.
15. **Patel R. A.** et al. Novel power-delay-area-efficient approach to generic modular addition, *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2007, vol. 54, no. 6, pp. 1279–1292.
16. **Zimmermann R.** Binary adder architectures for cell-based VLSI and their synthesis, Hartung-Gorre, 1998.
17. **Amerbaev V. M., Solov'ev R. A., Tel'pukhov D. V., Balaka E. S.** Construction of inverse converters of modular arithmetic with error correction based on polyadic code, *NeuroKomp'utery: razrabotka, primenenie*, 2014, no. 9, pp. 30–35.