

Д. В. Ефанов, д-р техн. наук, доц., e-mail: TrES-4b@yandex.ru,
ООО "ЛокоТех-Сигнал",
Российский университет транспорта (МИИТ), Москва

Условия построения полностью самопроверяемых дискретных устройств на основе метода логического дополнения до равновесного кода "2 из 4"

В статье показано, что следуя известному методу логического дополнения, дающему разработчику самопроверяемых дискретных устройств более широкий спектр возможностей, чем традиционные подходы, необходимо учитывать ограничения, накладываемые на структуры как объекта диагностирования, так и блока контрольной логики. Установлены особенности, которые присущи методу логического дополнения, а именно, использованию в нем каскада параллельно расположенных сумматоров по модулю два. Приводятся примеры, иллюстрирующие данные особенности. Сформулированы практические рекомендации, которых необходимо придерживаться при разработке самопроверяемых дискретных устройств по методу логического дополнения до равновесного кода "2 из 4".

Ключевые слова: самопроверяемые дискретные устройства, самопроверяемая схема встроенного контроля, метод логического дополнения, равновесный код, код "2 из 4", условия обнаружения неисправности

Введение

Непрерывное развитие в области информационных и компьютерных технологий связано с постоянным совершенствованием элементов и систем, реализованных на микроэлектронных компонентах. С каждым годом производители по всему миру объявляют о новейших достижениях в области микроэлектроники: уменьшаются габаритные размеры элементов, достигаются техпроцессы реализации длины затвора транзистора в 10 и даже 7 нм, ведутся исследования в области реализации техпроцессов по технологии 3 нм [1–3]. Все это ведет к уменьшению габаритных размеров реализуемых устройств автоматики и вычислительной техники, способствует увеличению рабочих частот, повышению функциональности, быстродействия, вычислительной мощности и т. д. Соответственно развитию технологий должны развиваться и методы технической диагностики и обеспечения надежности и безопасности функционирования реализуемых устройств [4–6].

Одним из важнейших методов технической диагностики является функциональное (рабочее) диагностирование, позволяющее проводить процедуру технического диагностирования устройства без отключения его от выполнения основных функций. При этом рабочие воздействия на объект диагностирования оказываются одновременно и тестовыми [7]. Использование рабочего диагностирования позволяет оперативно реагировать на возникающие в процессе эксплуатации неисправности в объ-

екте диагностирования, блокировать неверные результаты вычислений и отключать некорректно функционирующие выходы устройств от работы [8]. Этим обеспечивается безопасность реализуемого технологического процесса.

При синтезе систем рабочего диагностирования используются идеи кратного и дробного резервирования [9]. Сам объект диагностирования снабжается специализированной схемой контроля, параллельно проводящей вычисления контрольных функций и процедуры сравнения их значений со значениями рабочих функций объекта диагностирования. На этапе проектирования системы диагностирования устанавливается однозначное соответствие между значениями рабочих и контрольных функций на каждом входном наборе. Это позволяет косвенно, по результатам вычислений, определять неисправности в системе диагностирования и сигнализировать об их наличии, а также использовать данную информацию для отключения объекта диагностирования от работы. Поскольку схема контроля наделена ответственными функциями по подтверждению корректности формируемых на рабочих выходах значений, она должна иметь самопроверяемую структуру [10]. Это обстоятельство накладывает определенные ограничения на способы реализации схем контроля в системах рабочего диагностирования.

Данная статья посвящена развитию теории синтеза самопроверяемых дискретных устройств автоматики и вычислительной техники на основе метода логического дополнения [11].

1. Основные методы синтеза самопроверяемых схем встроенного контроля

Традиционная структурная схема, по которой реализуются системы рабочего диагностирования, изображена на рис. 1 [12]. Она копирует идею передачи информации по каналам связи и основана на использовании свойств равномерных двоичных кодов [13]. В традиционной структурной схеме выходы объекта диагностирования $F(x)$ отождествляются с некоторым информационным вектором $\langle f_1 f_2 \dots f_m \rangle$ длиной m , а схема контроля синтезируется с учетом свойств выбранного избыточного кода. Блок контрольной логики вычисляет ряд контрольных функций, образуя контрольный вектор $\langle g_1 g_2 \dots g_k \rangle$ длиной k , а тестер выбранного кода в процессе эксплуатации системы диагностирования сравнивает информационный и контрольный векторы, формируя контрольный сигнал $\langle z^0 z^1 \rangle$. При отсутствии неисправностей в системе диагностирования на выходе тестера формируется парафазный сигнал $\langle z^0 z^1 \rangle = \langle 01 \rangle$ либо $\langle z^0 z^1 \rangle = \langle 10 \rangle$. Нарушение парафазности свидетельствует о наличии неисправности (или искажения значений вследствие, например, электромагнитных воздействий) в системе диагностирования.

При синтезе системы диагностирования по структурной схеме, приведенной на рис. 1, могут использоваться любые равномерные коды: разделимые или неразделимые. В случае применения последних контрольные функции дополняют информационные таким образом, чтобы на входы тестера поступало кодовое слово неразделимого кода. Основными неразделимыми кодами для систем рабочего диагностирования являются равновесные коды [14]. К основным разделимым кодам относятся

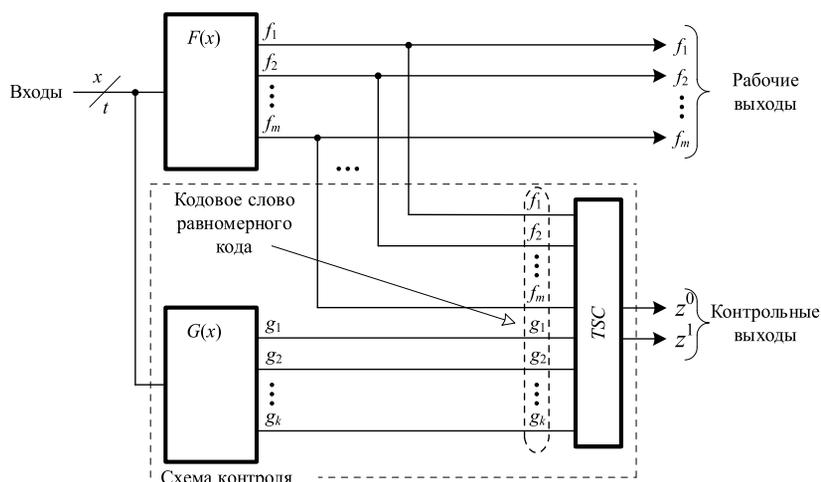


Рис. 1. Традиционная структурная схема системы диагностирования

коды с повторением (код с простым повторением, инверсный код, корреляционный код) и коды с суммированием (коды Хэмминга и Бергера и их модификации) [15—17].

В автоматике и вычислительной технике широко распространена стандартная структура дублирования, которая реализуется на основе кода с простым повторением [18]. В такой системе диагностирования блок основной логики $F(x)$ снабжается своей копией, а тестер схемы контроля проверяет соответствие одноименных разрядов обоих блоков. Для реализации самопроверяемой схемы контроля выходы блока контрольной логики предварительно инвертируются, что позволяет реализовывать тестер в виде самопроверяемого компаратора, представляющего собой схему сжатия парафазных сигналов. Такой компаратор реализуется наиболее просто в виде каскадного подключения элементарных модулей сжатия парафазных сигналов TRC (*two-rail checker*) [19].

При использовании дублирования в объекте диагностирования обнаруживаются любые неисправности, вызывающие искажения на его выходах. Однако существенным недостатком такого подхода к построению системы диагностирования является высокая структурная избыточность — для реальных устройств она может превышать величину в 300...400 % от сложности объекта диагностирования.

В целях снижения структурной избыточности конечного устройства разработчики стремятся уменьшить сложность технической реализации схемы контроля. Это возможно за счет снижения требований к классам идентифицируемых в устройстве неисправностей. Например, если разработчик ограничивается моделью одиночных константных неисправностей выходов внутренних логических элементов

или же моделью "временной задержки" пути, то возможно эффективное снижение структурной избыточности конечного устройства [9]. В этих случаях при построении системы диагностирования возможно применение разнообразных равномерных кодов с избыточностью, меньшей избыточности кода с повторением.

Известны методы синтеза схем контроля на основе кодов паритета [9]. Они подразумевают поиск групп независимых выходов (Н-групп) на множестве выходов объекта диагностирования и отдельный их контроль на основе кода паритета с последующим объединением выходов схем контроля на входах самопроверяемого компара-

тора. Другим вариантом реализации контрольного оборудования является преобразование схемы самого объекта диагностирования в схему с независимыми выходами. Аналогично используются классические коды Бергера [20—22], за тем лишь исключением, что группы выходов являются монотонно независимыми (или монотонно и асимметрично независимыми) — так называемые МН-группы (или МАН-группы) [23]. При использовании классических кодов Хэмминга [24] ищутся группы выходов, в которых допускаются одно- и двукратные искажения (H^2 -группы). Во всех этих случаях используются свойства кодов, связанные с обнаружением ошибок определенной кратностью или вида [25].

Структурная схема, приведенная на рис. 1, "жестко" связана с тем, какой именно равномерный код выбран при ее реализации. Более гибкой с точки зрения синтеза схем контроля является структурная схема метода логического дополнения [26]. В такой схеме помимо блоков, имеющих в традиционной структурной схеме, использован блок логического дополнения (рис. 2). Данный блок реализуется в виде каскада параллельно расположенных сумматоров по модулю два (элементов XOR), позволяющих осуществлять преобразование любого информационного вектора в кодовое слово заранее выбранного кода. В качестве основы системы диагностирования в случае использования метода логического дополнения гарантированно подходят только неразделимые коды. Это связано с особенностью реализации схемы контроля — в ней значения всех разрядов вычисляются объектом диагностирования, а значит, при использовании разделимого кода существует возможность одновременного искажения и информационных и контрольных разрядов (возникновения

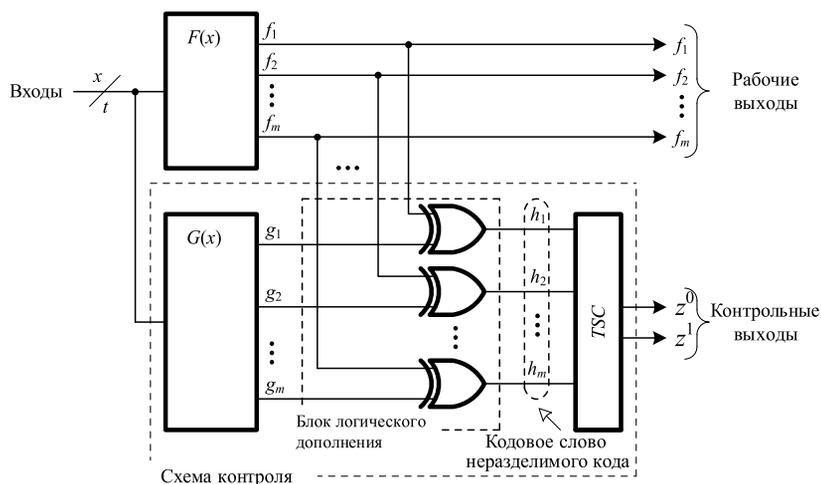


Рис. 2. Структурная схема системы диагностирования на основе метода логического дополнения

необнаруживаемой ошибки). Кроме неразделимых кодов при синтезе схем контроля на основе метода логического дополнения могут использоваться особые классы функций алгебры логики, например, самодвойственные функции [27, 28].

Вопросам синтеза схем контроля на основе метода логического дополнения посвящено множество публикаций, например [29—32]. Однако до сих пор не исследованным остается вопрос, связанный с тем, какие ограничения накладываются на структуры блоков основной и контрольной логики для достижения свойства самопроверяемости схемы контроля и синтезируемого дискретного устройства. Установим эти условия для использования при синтезе системы рабочего диагностирования по методу логического дополнения равновесного кода "2 из 4" (2/4-кода).

2. Метод логического дополнения до равновесного кода "2 из 4"

При построении системы диагностирования по методу логического дополнения наиболее удобно применять неразделимые равновесные коды с малой длиной кодовых слов. У таких кодов достаточно простые структурные схемы тестеров, для полной проверки которых требуется небольшое число тестовых комбинаций. К одним из таких кодов относится 2/4-код.

Использование описываемого метода подразумевает разбиение выходов блока $F(x)$ на подмножества по четыре выхода в каждом (возможны пересечения подмножеств). Для каждого подмножества синтезируется своя подсхема контроля, а выходы всех схем контроля объединяются на входах самопроверяемого компаратора [19]. Базовая структурная схема системы диагностирования, реализованная для группы из четырех выходов, изображена на рис. 3.

В ней блок $F(x)$ представляет собой объект диагностирования или его подсхему с четырьмя выходами. Контролируемая подсхема устройства снабжается схемой контроля в составе трех блоков: контрольной логики ($G(x)$), логического дополнения — блока, образованного каскадом двух сумматоров по модулю два, тестера 2/4-кода (2/4-TSC).

Каскад сумматоров по модулю два позволяет преобразовывать любой четырехбитный вектор рабочих функций в вектор, принадлежащий 2/4-коду.

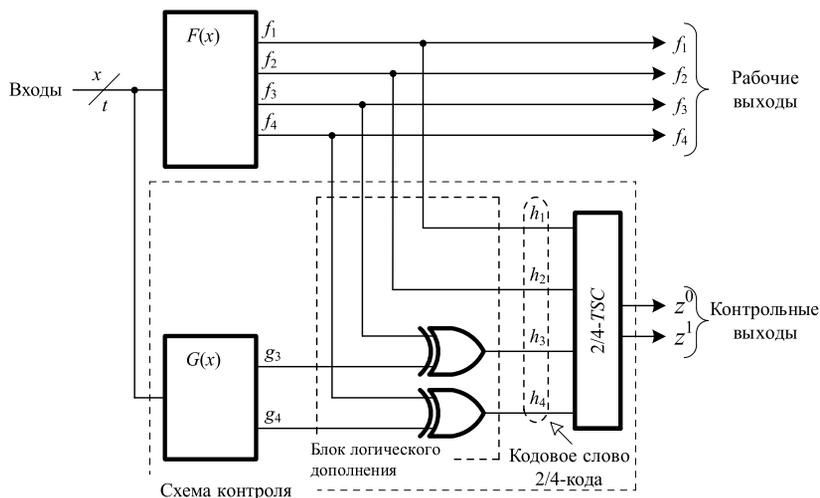


Рис. 3. Базовая структурная схема системы диагностирования, реализованная по методу логического дополнения до 2/4-кода

Условия синтеза систем диагностирования с самопроверяемыми блоками логического дополнения и 2/4-TSC рассмотрены в работах [33–35]. Остановимся на рассмотрении условий обеспечения тестируемости блоков основной и контрольной логики в системе диагностирования.

3. Условия обеспечения самопроверяемости схемы контроля

Определим условия, при которых базовая структурная схема системы диагностирования, приведенная на рис. 3, будет обладать свойством полной самопроверяемости.

Система диагностирования будет полностью самопроверяемой относительно одиночных константных неисправностей в том случае, если любая неисправность блоков $F(x)$ и $G(x)$ будет хотя бы на одном входном наборе вызывать искажения в значениях выходных сигналов, и это событие будет зафиксировано на выходах тестера 2/4-TSC в виде установления непарафазных сигналов. Кроме того, тестер системы должен иметь самопроверяемую структуру, а также должны обнаруживаться любые неисправности элементов блока логического дополнения. Последние два условия требуют при реализации системы диагностирования обеспечивать подачу на каждый элемент XOR блока логического дополнения тестовых комбинаций из множества {00, 01, 10, 11} [36], а также формирования множества тестовых комбинаций для полной проверки 2/4-TSC. Для наиболее простой структуры данного тестера это множество образуется комбинациями {0011, 1100, 1001, 0110} [37].

Рассмотрим подробнее особенности функционирования блоков $F(x)$ и $G(x)$ и те условия, при которых на выходах блока логического дополнения не будут возникать необнаруживаемые тестером искажения (т. е. не будут формироваться кодовые слова 2/4-кода).

Теорема 1. Для того чтобы неисправности блоков основной и контрольной логики в системе диагностирования, синтезированной по методу логического дополнения, были обнаружены, необходимо и достаточно, чтобы они не вызывали симметричных ошибок на выходах блока логического дополнения.

Доказательство. Необходимость.

В основе системы диагностирования лежит равновесный код (2/4-код).

Одиночная неисправность в системе диагностирования не будет обнаружена в том случае, если в кодовом слове, поступающем на входы самопроверяемого тестера, сохранится вес кодового слова при отсутствии неисправности в системе. Другими словами, неисправность не будет обнаружена в том случае, если вызовет симметричную ошибку (ошибку, содержащую одинаковое число искажений нулевых и единичных разрядов) [25] в кодовом слове, сформированном на выходах блока логического дополнения. Все остальные виды ошибок идентифицируются тестером равновесного кода.

Достаточность. В системе диагностирования имеется четыре независимых блока: блок основной логики, блок контрольной логики, блок логического дополнения и самопроверяемый тестер. Одиночные неисправности тестера обнаруживаются на его выходах при подаче на входы рабочих воздействий, включающих в себя и тестовые комбинации. Одиночные неисправности в блоке логического дополнения вызывают только однократные ошибки и также идентифицируемые тестером, так как нарушается вес кодового слова на входах тестера. Неисправности элементов XOR устанавливаются на рабочих воздействиях при формировании тестовых комбинаций из множества {00, 01, 10, 11}. Для полной проверки тестера и элементов XOR требуется формирование определенного числа информационных и контрольных векторов на выходах блоков $F(x)$ и $G(x)$.

Симметричная ошибка на выходах блока логического дополнения может быть вызвана либо неисправностью в блоке основной логики, либо неисправностью в блоке контрольной логики. Одновременное искажение выходов обоих блоков ввиду принятой модели неисправности невозможно. **Доказательство завершено.**

Условия тестируемости блоков логического дополнения и тестера известны [33—35]. Требуется установить особенности влияния одиночных неисправностей блоков основной и контрольной логики на выходы блока логического дополнения. При этом необходимо учитывать, что функции f_1 и f_2 (рис. 3) не преобразуются и напрямую подключаются к входам 2/4-TSC, а изменяются только значения функций f_3 и f_4 : $f_3 \oplus g_3 = h_3$ и $f_4 \oplus g_4 = h_4$.

Рассмотрим блок $F(x)$ и его выходы. Любая однократная и трехкратная ошибки в векторе $\langle f_1 f_2 f_3 f_4 \rangle$ и, соответственно, на входах блока логического дополнения будут проявляться в виде однократных и трехкратных ошибок соответственно на выходах блока логического дополнения. Это гарантированно вызывает искажение веса кодового слова $\langle h_1 h_2 h_3 h_4 \rangle$ при исправной работе объекта диагностирования. Таким образом, ошибка на выходах блока логического дополнения будет являться либо монотонной (содержать только однонаправленные искажения значений), либо асимметричной (содержать искажения и нулевых, и единичных разрядов при неравном их числе) [25], что обнаружится схемой 2/4-TSC.

Необнаруживаемыми могут оказаться двукратные и четырехкратные ошибки на выходах блока $F(x)$ в том случае, если они вызывают симметричные ошибки на выходах блока логического дополнения. Рассмотрим многообразие двукратных ошибок.

Двукратные ошибки могут возникать в трех принципиально различных вариантах:

1. При одновременном искажении не преобразуемых выходов.
2. При искажении не преобразуемого и преобразуемого выходов.
3. При одновременном искажении преобразуемых выходов.

В первом случае, когда ошибка возникла на не преобразуемых выходах f_a и f_b , она напрямую транслируется на выходы блока логического дополнения. Для того чтобы ошибка была обнаружена, необходимо и достаточно, чтобы до искажения значения выходов совпадали: $f_a = f_b$. Это гарантированно приведет к возникновению монотонной двукратной ошибки.

Второй случай связан с одновременным искажением не преобразуемого и преобразуемого выходов. Пусть преобразуется выход f_b с помощью функции g_b . Положим $g_b = 0$. Тогда $f_b \oplus g_b = f_b$. Таким образом, значение на входе f_b напрямую, без изменений, транслируется на выход блока логического дополнения. Отсюда следует, что при $f_a = f_b$ при наличии ошибки на обоих входах на выходы блока логического до-

полнения транслируется ошибка, содержащая либо только искажения $1 \rightarrow 0$, либо только $0 \rightarrow 1$. Подобные искажения соответствуют монотонной ошибке и будут обнаружены на входах тестера. Положим $g_b = 1$. Тогда $f_b \oplus 1 = \overline{f_b}$. Отсюда следует, что значение на выходе f_b при трансляции на выход блока логического дополнения инвертируется. Отсюда следует, что при $f_a \neq f_b$ и при наличии ошибки на обоих входах на выходы блока логического дополнения, так же как и в первом случае, транслируется ошибка, содержащая либо только искажения $1 \rightarrow 0$, либо только $0 \rightarrow 1$. Подобная ошибка является монотонной и обнаруживается на входах тестера.

В случае одновременного искажения обоих преобразуемых выходов накладывается следующее ограничение. Если $f_a \neq f_b$, то монотонная ошибка будет транслироваться на выходы блока логического дополнения только в том случае, если функции дополнения не будут равны друг другу. В этом случае одно из значений f_a (или f_b) будет инвертировано, а другое — нет. Аналогичное обстоятельство имеет место при $f_a = f_b$. Если на обоих выходах имеется ошибка, то она останется монотонной на выходах блока логического дополнения в случае $g_a = g_b$. Монотонная ошибка обнаружится на входах тестера.

Четырехкратная ошибка на не преобразуемых выходах f_a и f_b и на преобразуемых выходах f_c и f_d будет симметричной в любом случае. Это следует из того факта, что до возникновения ошибки вектор $\langle h_1 h_2 h_3 h_4 \rangle$ принадлежит 2/4-коду, а его четырехкратное искажение возможно только в вектор равновесного кода.

Теорема 2. Структура блока основной логики в системе диагностирования, организованной по методу логического дополнения до 2/4-кода, будет проверяемой в том случае, если:

- а) при условии одновременного искажения не преобразуемого и преобразуемого выходов блока основной логики $f_a = f_b$ при $g_b = 0$ и $f_a \neq f_b$ при $g_b = 1$ (f_b — преобразуемый выход);
- б) при условии одновременного искажения обоих преобразуемых выходов блока основной логики $f_a \neq f_b$ при $g_a \neq g_b$ и $f_a = f_b$ при $g_a = g_b$;
- в) будут исключены четырехкратные ошибки.

На рис. 4 и рис. 5 приводятся различные случаи распространения ошибок на выходы блока логического преобразователя, иллюстрирующие условия теоремы 2.

Аналогичные рассуждения могут быть проведены при анализе ошибок на выходах блока $G(x)$.

Теорема 3. Структура блока контрольной логики в системе диагностирования, организованной по методу логического дополнения до 2/4-кода, будет проверяемой в том случае, если при условии одновременного искажения обоих

функций дополнения $g_a = g_b$ при $f_a = f_b$ и $g_a \neq g_b$ при $f_a \neq f_b$.

Непосредственно из формулировок теорем 2 и 3 и известных условий тестируемости элементов XOR в блоке логического дополнения и условий тестируемости тестера следуют условия построения полностью самопроверяемой системы диагностирования.

Теорема 4. Система диагностирования, организованная по методу логического дополнения до 2/4-кода, будет самопроверяемой в том случае, если:

а) на входах тестера будут формироваться хотя бы по разу все необходимые тестовые комбинации (для наиболее простого тестера это комбинации из множества $\{0011, 1100, 1001, 0110\}$);

б) на входах каждого сумматора в блоке логического дополнения будут формироваться хотя бы по разу комбинации проверяющего теста $\{00, 01, 10, 11\}$;

в) блоки основной и контрольной логики будут реализованы в соответствии с условиями теорем 2 и 3.

Условия обеспечения полной самопроверяемости системы диагностирования

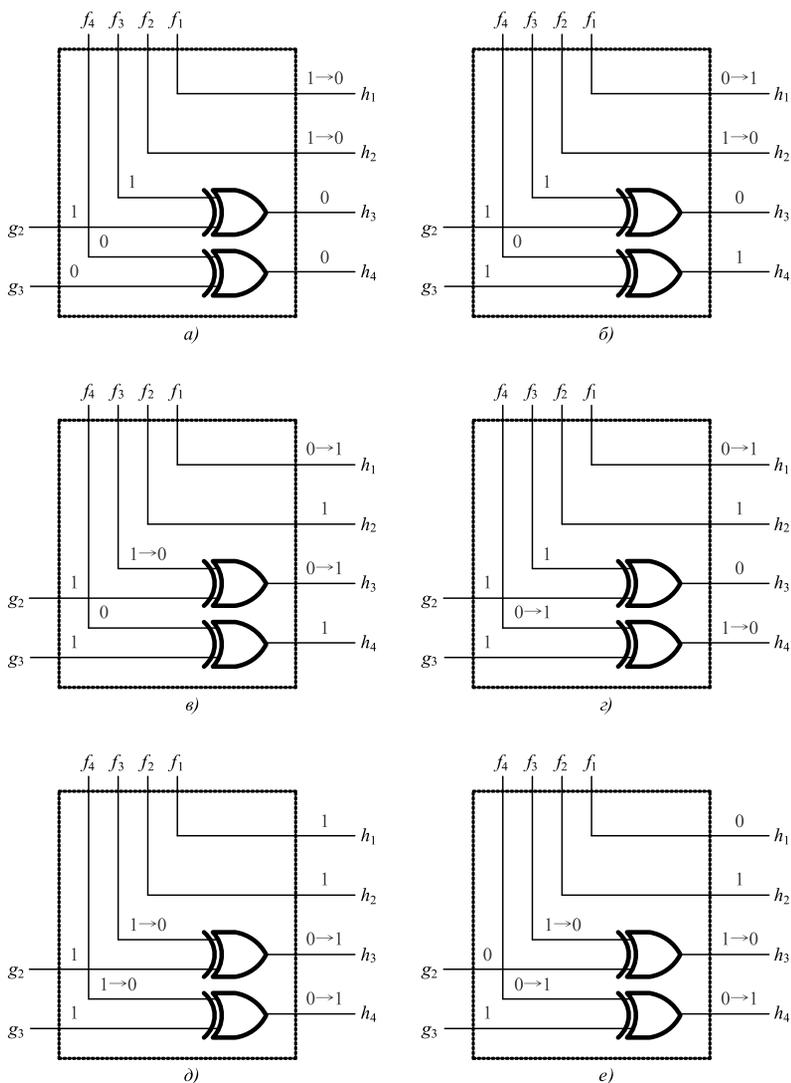


Рис. 4. Варианты трансляции двукратных ошибок на выходы блока логического преобразователя:

а — обнаруживаемая ошибка на не преобразуемых выходах; б — необнаруживаемая ошибка на не преобразуемых выходах; в — обнаруживаемая ошибка на преобразуемом и не преобразуемом выходах; г — необнаруживаемая ошибка на преобразуемом и не преобразуемом выходах; д — обнаруживаемая ошибка на преобразуемых выходах; е — необнаруживаемая ошибка на преобразуемых выходах

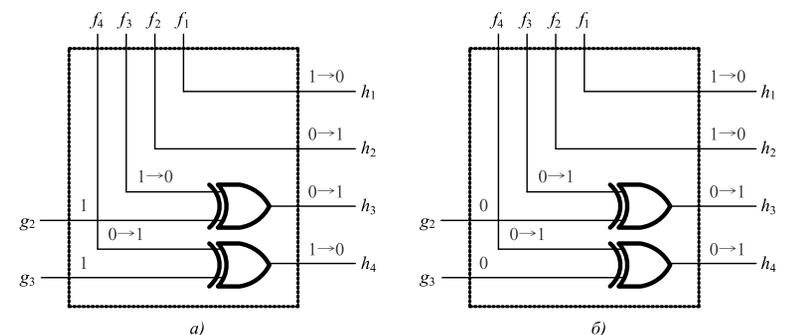


Рис. 5. Варианты трансляции четырехкратных ошибок на выходы логического преобразователя:

а — необнаруживаемая ошибка при неравенстве значений на преобразуемых выходах и не преобразуемых выходах; б — необнаруживаемая ошибка при равенстве значений на преобразуемых выходах и не преобразуемых выходах

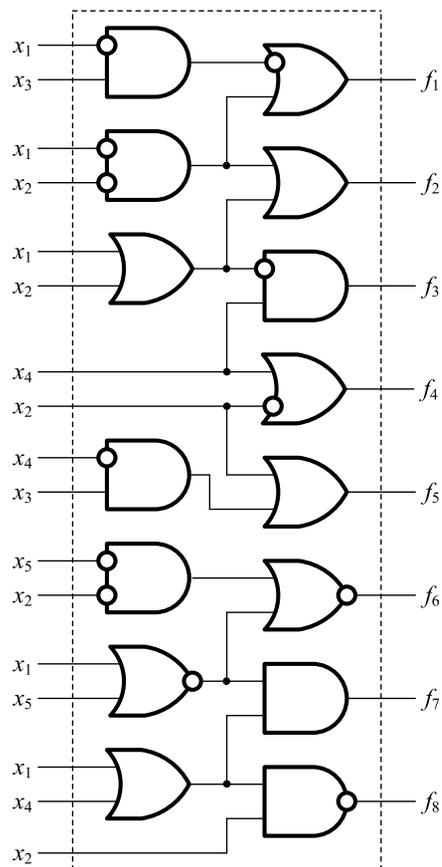


Рис. 6. Комбинационное дискретное устройство

вания на основе 2/4-кода являются достаточно жесткими. Требуется, чтобы блоки основной и контрольной логики были реализованы в виде устройств с независимыми выходами.

Для многовыходных объектов диагностирования решить задачу обеспечения полной самопроверяемости системы диагностирования оказывается несколько проще.

На рис. 6 для примера изображено комбинационное дискретное устройство с восемью выходами. Данную схему можно эффективно контролировать на основе 2/4-кода путем выделения двух групп выходов $\{f_1, f_3, f_5, f_7\}$ и $\{f_2, f_4, f_6, f_8\}$ при условии независимости функций логического дополнения отдельных подсхем контроля. Отдельные функции разных подсхем контроля могут быть реализованы совместно.

Заключение

Установленные в данной статье условия обеспечения полной самопроверяемости структурной схемы системы диагностирования на основе метода логического дополнения до равновесного кода "2 из 4" позволяют судить о возможности построения контролепригодных дискретных устройств на ее основе. Полученные условия являются "жесткими" и выполняются только для частных случаев объектов диагностирования с определенной структурой. Практически всегда потребуется реализация блока контрольной логики в виде схемы с независимыми выходами. Исключение составляет лишь возможность совместной реализации контрольных функций в разных подсхемах контроля для многовыходных объектов диагностирования. Обозначенные обстоятельства существенно сужают поле приложения метода логического дополнения. Тем не менее в ряде случаев удается синтезировать устройства с полностью самопроверяемыми структурами.

Следует отметить, что полученные результаты для использования 2/4-кода при построении систем диагностирования по методу логического дополнения могут быть легко обобщены до случая использования в обозначенных задачах и произвольных равновесных кодов.

Учет представленных особенностей систем диагностирования, реализованных по методу логического дополнения, целесообразен при разработке самопроверяемых дискретных устройств.

Список литературы

1. Chang K., Acharya K., Sinha S., Cline B., Yeric G., Lim S. K. Impact and Design Guideline of Monolithic 3-D IC at the 7-nm Technology Node // IEEE Transactions on Very Large Scale Inte-

gration (VLSI) Systems. 2017. Vol. 25, Iss. 7. P. 2118–2129. DOI: 10.1109/TVLSI.2017.2686426.

2. Yoon J.-S., Jeong E.-Y., Baek C.-K., Kim Y.-R., Hong J.-H., Lee J.-S., Baek R.-H., Jeong Y.-H. Junction Design Strategy for Si Bulk FinFETs for System-on-Chip Applications Down to the 7-nm Node // IEEE Electron Device Letters. 2015. Vol. 36, Iss. 10. P. 994–996. DOI: 10.1109/LED.2015.2464706.

3. Imec and Cadence Tape Out Industry's First 3nm Test Chip. URL: <https://www.hpcwire.com/off-the-wire/imec-cadence-tape-industrys-first-3nm-test-chip/>, дата обращения 19.08.2018.

4. Ubar R., Raik J., Vierhaus H.-T. Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source). Information Science Reference, Hershey — New York, IGI Global, 2011, 578 p.

5. Kharchenko V., Kondratenko Yu., Kacprzyk J. Green IT Engineering: Concepts, Models, Complex Systems Architectures // Springer Book series "Studies in Systems, Decision and Control". 2017. Vol. 74. 305 p.

6. Hahanov V. Cyber Physical Computing for IoT-driven Services. New York, Springer International Publishing AG, 2018. 279 p.

7. Пархоменко П. П., Согомоян Е. С. Основы технической диагностики (оптимизация алгоритмов диагностирования, аппаратные средства). М.: Энергоатомиздат, 1981. 320 с.

8. Дрозд А. В., Харченко В. С., Антошук С. Г., Дрозд Ю. В., Дрозд М. А., Сулима Ю. Ю. Рабочее диагностирование безопасных информационно-управляющих систем / Под ред. А. В. Дрозда и В. С. Харченко. Харьков: Национальный аэрокосмический университет им. Н. Е. Жуковского "ХАИ", 2012. 614 с.

9. Согомоян Е. С., Слабаков Е. В. Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989. 207 с.

10. Сапожников В. В., Сапожников Вл. В. Самопроверяемые дискретные устройства. СПб.: Энергоатомиздат, 1992. 224 с.

11. Gössel M., Ocheretny V., Sogomonyan E., Marienfeld D. New Methods of Concurrent Checking: Edition 1. Dordrecht: Springer Science + Business Media B. V., 2008. 184 p.

12. Mitra S., McCluskey E. J. Which Concurrent Error Detection Scheme to Choose? // Proceedings of International Test Conference. 2000. USA, Atlantic City, NJ, 03–05 October 2000. P. 985–994. DOI: 10.1109/TEST.2000.894311.

13. Elias P. Computation in the Presence of Noise // IBM Journal of Research & Development. 1958. Vol. 2, Iss. 4. P. 346–353.

14. Freiman C. V. Optimal Error Detection Codes for Completely Asymmetric Binary Channels // Information and Control. 1962. Vol. 5, Iss. 1. P. 64–71. DOI: 10.1016/S0019-9958(62)90223-1.

15. Hamming R. W. Error Detecting and Correcting Codes // Bell System Technical Journal. 1950. 29 (2). P. 147–160. MR0035935.

16. Berger J. M. A Note on Error Detecting Codes for Asymmetric Channels // Information and Control. 1961. Vol. 4, Iss. 1. P. 68–73. DOI: 10.1016/S0019-9958(61)80037-5.

17. Piestrak S. J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. Wroclaw: Oficyna Wydawnicza Politechniki Wroclawskiej, 1995. 111 p.

18. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В., Дмитриев В. В. Новые структуры систем функционального контроля логических схем // Автоматика и телемеханика. 2017. № 2. С. 127–143.

19. Lala P. K. Self-Checking and Fault-Tolerant Digital Design. San Francisco: Morgan Kaufmann Publishers, 2001. 216 p.

20. Sogomonyan E. S., Gössel M. Self-Testing and Self-Checking Combinational Circuits with Weakly Independent Outputs // Proceedings of 10th IEEE VLSI Test Symposium, Atlantic City, 1992. P. 298–303.

21. Busaba F. Y., Lala P. K. Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors // Journal of Electronic Testing: Theory and Applications. 1994. Iss. 1. P. 19–28. DOI: 10.1007/BF00971960.

22. Morosow A., Sapozhnikov V. V., Sapozhnikov Vl. V., Goessel M. Self-Checking Combinational Circuits with Unidirectionally Independent Outputs // VLSI Design. 1998. Vol. 5, Iss. 4. P. 333–345. DOI: 10.1155/1998/20389.

23. Ефанов Д. В., Сапожников В. В., Сапожников Вл. В. Условия обнаружения неисправности логического элемента в комбинационном устройстве при функциональном кон-

троле на основе кода Бергера // Автоматика и телемеханика. 2017. № 5. С. 152—165.

24. **Ефанов Д. В., Сапожников В. В., Сапожников Вл. В.** Синтез самопроверяемых комбинационных устройств на основе выделения специальных групп выходов // Автоматика и телемеханика. 2018. № 9. С. 79—94.

25. **Сапожников В. В., Сапожников Вл. В., Ефанов Д. В.** Классификация ошибок в информационных векторах систематических кодов // Известия вузов. Приборостроение. 2015. Т. 58, № 5. С. 333—343. DOI: 10.17586/0021-3454-2015-58-5-333-343.

26. **Гессель М., Дмитриев А. В., Сапожников В. В., Сапожников Вл. В.** Самотестируемая структура для функционального обнаружения отказов в комбинационных схемах // Автоматика и телемеханика. 1999. № 11. С. 162—174.

27. **Saposhnikov V. V., Dmitriev A., Goessel M., Saposhnikov V. V.** Self-Dual Parity Checking — a New Method for on Line Testing // Proceedings of 14th IEEE VLSI Test Symposium, USA, Princeton. 1996. P. 162—168.

28. **Saposhnikov V. V., Moshanin V., Saposhnikov V. V., Goessel M.** Self-Dual Multi-Output Combinational Circuits with Output Data Compaction // Compendium of Papers IEEE European Test Workshop (ETW'97), Cagliari, Italy, May 28—30, 1997. P. 107—111.

29. **Гессель М., Морозов А. В., Сапожников В. В., Сапожников Вл. В.** Логическое дополнение — новый метод контроля комбинационных схем // Автоматика и телемеханика. 2003. № 1. С. 167—176.

30. **Гессель М., Морозов А. В., Сапожников В. В., Сапожников Вл. В.** Контроль комбинационных схем методом логического дополнения // Автоматика и телемеханика. 2005. № 8. С. 161—172.

31. **Sen S. K.** A Self-Checking Circuit for Concurrent Checking by 1-out-of-4 code with Design Optimization using Constraint

Don't Cares // National Conference on Emerging trends and advances in Electrical Engineering and Renewable Energy (NCEEERE 2010), Sikkim Manipal Institute of Technology, Sikkim, held during 22—24 December, 2010.

32. **Das D. K., Roy S. S., Dmitriev A., Morozov A., Gössel M.** Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes // Proceedings of the 10th International Workshops on Boolean Problems, Freiburg, Germany, September, 2012. P. 33—40.

33. **Sapozhnikov V., Sapozhnikov V., Efanov D.** Concurrent Error Detection of Combinational Circuits by the Method of Boolean Complement on the Base of "2-out-of-4" Code // Proceedings of 14th IEEE East-West Design & Test Symposium (EWDTS'2016), Yerevan, Armenia, October 14—17, 2016. P. 126—133. DOI: 10.1109/EWDTS.2016.7807677.

34. **Сапожников В. В., Сапожников Вл. В., Ефанов Д. В.** Построение самопроверяемых структур систем функционального контроля на основе равновесного кода "2 из 4" // Проблемы управления. 2017. № 1. С. 57—64.

35. **Ефанов Д. В., Сапожников В. В., Сапожников Вл. В., Пивоваров Д. В.** Организация полностью самопроверяемой схемы встроенного контроля на основе метода логического дополнения до равновесного кода "2 из 4" // Труды Института системного программирования РАН. 2018. Т. 30, № 2. С. 99—112. DOI: 10.15514/ISPRAS-2018-30(2)-6.

36. **Аксенова Г. П.** Необходимые и достаточные условия построения полностью проверяемых схем свертки по модулю 2 // Автоматика и телемеханика. 1979. № 9. С. 126—135.

37. **Сапожников В. В., Сапожников Вл. В.** Самопроверяемые тестеры для равновесных кодов // Автоматика и телемеханика. 1992. № 3. С. 3—35.

D. V. Efanov, D. Sc., Associate Professor, Head of the Direction of monitoring and diagnosis systems department of "LocoTech-Signal" LLC, Professor of Russian University of Transport, Moscow, Russian Federation

The Conditions of the Formation of the Totally Self-Checking Discrete Devices Based on the Boolean Complement Method up to 2-out-of-4 Constant-Weight Code

The paper shows that following the well-known Boolean complement method, which gives the developer of self-checking discrete devices a wider range of abilities than traditional approaches give, it is necessary to take into account the limitations imposed on the structures of both the object of diagnosis and the check logic block. The paper established the features that are inherent in the Boolean complement method, particularly, the use of a cascade of parallel adders by modulo two. Examples illustrating these features are given. The paper formulates practical recommendations that should be followed in the development of self-checking discrete devices based on the Boolean complement method up to 2-out-of-4 constant-weight code.

Keywords: self-checking discrete devices, self-checking check circuit, Boolean complement method, constant-weight code, "2-out-of-4" code, conditions for fault detecting

DOI: 10.17587/it.25.143-151

References

1. **Chang K., Acharya K., Sinha S., Cline B., Yeric G., Lim S. K.** Impact and Design Guideline of Monolithic 3-D IC at the 7-nm Technology Node, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2017, vol. 25, iss. 7, pp. 2118—2129, DOI: 10.1109/TVLSI.2017.2686426.

2. **Yoon J.-S., Jeong E.-Y., Baek C.-K., Kim Y.-R., Hong J.-H., Lee J.-S., Baek R.-H., Jeong Y.-H.** Junction Design Strategy for Si Bulk FinFETs for System-on-Chip Applications Down to the

7-nm Node, *IEEE Electron Device Letters*, 2015, vol. 36, iss. 10, pp. 994—996, DOI: 10.1109/LED.2015.2464706.

3. **Imec and Cadence Tape Out Industry's First 3nm Test Chip**, available at: <https://www.hpcwire.com/off-the-wire/imec-cadence-tape-industrys-first-3nm-test-chip/> (date of access 19.08.2018).

4. **Ubar R., Raik J., Vierhaus H.-T.** Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source), *Information Science Reference*, Hershey — New York, IGI Global, 2011, 578 p.

5. **Kharchenko V., Kondratenko Yu., Kacprzyk J.** Green IT Engineering: Concepts, Models, Complex Systems Architectures, *Springer Book series "Studies in Systems, Decision and Control"*, 2017, vol. 74, 305 p.
6. **Hahanov V.** Cyber Physical Computing for IoT-driven Services, New York, Springer International Publishing AG, 2018, 279 p.
7. **Parkhomenko P. P., Sogomonyan E. S.** *Osnovy tekhnicheskoy diagnostiki (optimizatsiya algoritmov diagnostirovaniya, apparaturnye sredstva)* (Technical Diagnosis Fundamentals (Diagnostic Algorithm Optimization, Apparatus Means)), Moscow, Energoatomizdat, 1981, 320 p. (in Russian).
8. **Drozd A. V., Kharchenko V. S., Antoshchuk S. G., Drozd Yu. V., Drozd M. A., Sulima Yu. Yu.** *Rabochee diagnostirovanie bezopasnykh informatsionno-upravlyayustchikh sistem* (Objects and Methods of On-Line Testing for Safe Instrumentation and Control Systems), Kharkov, National Aerospace University "KhAI", 2012, 614 p. (in Russian).
9. **Sogomonyan E. S., Slabakov E. V.** *Samoproverkaemye ustrojstva i otkazoustojchivyye sistemy* (Self-checking devices and fault-tolerant systems), Radio & Svyaz', Moscow, 208 p. (in Russian).
10. **Sapozhnikov V. V., Sapozhnikov VI. V.** *Samoproveryaemye diskretnye ustrojstva* (Self-checking discrete devices), St. Petersburg, Energoatomizdat, 1992, 224 p. (in Russian).
11. **Gössel M., Ocheretny V., Sogomonyan E., Marienfeld D.** *New Methods of Concurrent Checking: Edition 1.* Dordrecht, Springer Science + Business Media B. V., 2008, 184 p.
12. **Mitra S., McCluskey E. J.** Which Concurrent Error Detection Scheme to Choose?, *Proceedings of International Test Conference*, 2000, USA, Atlantic City, NJ, 03–05 October 2000, pp. 985–994, DOI: 10.1109/TEST.2000.894311.
13. **Elias P.** Computation in the Presence of Noise, *IBM Journal of Research & Development*, 1958, vol. 2, iss. 4, pp. 346–353.
14. **Freiman C. V.** Optimal Error Detection Codes for Completely Asymmetric Binary Channels, *Information and Control*, 1962, vol. 5, iss. 1, pp. 64–71, DOI: 10.1016/S0019-9958(62)90223-1.
15. **Hamming R. W.** Error Detecting and Correcting Codes, *Bell System Technical Journal*, 1950, 29 (2), pp. 147–160. MR0035935.
16. **Berger J. M.** A Note on Error Detecting Codes for Asymmetric Channels, *Information and Control*, 1961, vol. 4, iss. 1, pp. 68–73, DOI: 10.1016/S0019-9958(61)80037-5.
17. **Piestrak S. J.** Design of Self-Testing Checkers for Unidirectional Error Detecting Codes, Wrocaw, Oficyna Wydawnicza Politechniki Wrocawskiej, 1995, 111 p.
18. **Sapozhnikov V. V., Sapozhnikov VI. V., Efanov D. V., Dmitriev V.V.** *Novye struktury sistem funkcional'nogo kontrolya logicheskikh skhem* (New structures of the concurrent error detection systems for logic circuits), *Avtomatika i Telemekhanika*, 2017, no. 2, pp. 127–143 (in Russian).
19. **Lala P. K.** Self-Checking and Fault-Tolerant Digital Design, San Francisco, Morgan Kaufmann Publishers, 2001, 216 p.
20. **Sogomonyan E. S., Gössel M.** Self-Testing and Self-Checking Combinational Circuits with Weakly Independent Outputs, *Proceedings of 10th IEEE VLSI Test Symposium*, Atlantic City, 1992, pp. 298–303.
21. **Busaba F. Y., Lala P. K.** Self-Checking Combinational Circuit Design for Single and Unidirectional Multibit Errors, *Journal of Electronic Testing: Theory and Applications*, 1994, iss. 1, pp. 19–28, DOI: 10.1007/BF00971960.
22. **Morosov A., Sapozhnikov V. V., Sapozhnikov VI. V., Goessel M.** Self-Checking Combinational Circuits with Unidirectionally Independent Outputs, *VLSI Design*, 1998, vol. 5, iss. 4, pp. 333–345, DOI: 10.1155/1998/20389.
23. **Efanov D. V., Sapozhnikov V. V., Sapozhnikov VI. V.** *Usloviya obnaruzheniya neispravnosti logicheskogo ehlementa v kombinatsionnom ustrojstve pri funkcional'nom kontrole na osnove koda Bergera* (Conditions for detecting a logical element fault in a combination device under concurrent checking based on Berger's code), *Avtomatika i Telemekhanika*, 2017, iss. 5, pp. 152–165 (in Russian).
24. **Efanov D. V., Sapozhnikov V. V., Sapozhnikov VI. V.** *Sintez samoproveryaemykh kombinatsionnykh ustrojstv na osnove vydeleniya special'nykh grupp vyhodov* (Synthesis of self-checking combinational devices based on allocating special groups of outputs), *Avtomatika i Telemekhanika*, 2018, no. 9, pp. 79–94 (in Russian).
25. **Sapozhnikov V. V., Sapozhnikov VI. V., Efanov D. V.** *Klassifikatsiya oshibok v informatsionnykh vektorakh sistemicheskikh kodov* (Errors Classification in Information Vectors of Systematic Codes), *Izvestiya Vysshikh Uchebnykh Zavedeniy. Priborostroenie*, 2015, vol. 58, no. 5, pp. 333–343 (in Russian).
26. **Goessel M., Dmitriev A. V., Sapozhnikov V. V., Sapozhnikov VI. V.** *Samotestiruemaya struktura dlya funkcional'nogo obnaruzheniya otkazov v kombinatsionnykh skhemah* (A functional fault-detection self-test combinational circuits), *Avtomatika i Telemekhanika*, 1999, no. 11, pp. 162–174 (in Russian).
27. **Saposhnikov VI. V., Dmitriev A., Goessel M., Saposhnikov V. V.** Self-Dual Parity Checking — a New Method for on Line Testing, *Proceedings of 14th IEEE VLSI Test Symposium*, USA, Princeton, 1996, pp. 162–168.
28. **Saposhnikov VI. V., Moshanin V., Saposhnikov V. V., Goessel M.** Self-Dual Multi-Output Combinational Circuits with Output Data Compaction, *Compendium of Papers IEEE European Test Workshop (ETW'97)*, Cagliari, Italy, May 28–30, 1997, pp. 107–111.
29. **Goessel M., Morozov A. V., Sapozhnikov V. V., Sapozhnikov VI. V.** *Logicheskoe dopolnenie — novyj metod kontrolya kombinatsionnykh skhem* (Logic complement, a new method of checking the combinational circuits), *Avtomatika i Telemekhanika*, 2003, no. 1, pp. 167–176 (in Russian).
30. **Goessel M., Morozov A. V., Sapozhnikov V. V., Sapozhnikov VI. V.** *Kontrol' kombinatsionnykh skhem metodom logicheskogo dopolneniya* (Checking combinational circuits by the method of logic complement), *Avtomatika i Telemekhanika*, 2005, no. 8, pp. 161–172 (in Russian).
31. **Sen S. K.** A Self-Checking Circuit for Concurrent Checking by 1-out-of-4 code with Design Optimization using Constraint Don't Cares, *National Conference on Emerging trends and advances in Electrical Engineering and Renewable Energy (NCEEERE 2010)*, Sikkim Manipal Institute of Technology, Sikkim, held during 22–24 December, 2010.
32. **Das D. K., Roy S. S., Dmitriev A., Morozov A., Gössel M.** Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes, *Proceedings of the 10th International Workshops on Boolean Problems*, Freiberg, Germany, September, 2012, pp. 33–40.
33. **Sapozhnikov V., Sapozhnikov VI., Efanov D.** Concurrent Error Detection of Combinational Circuits by the Method of Boolean Complement on the Base of "2-out-of-4" Code, *Proceedings of 14th IEEE East-West Design & Test Symposium (EWDTS'2016)*, Yerevan, Armenia, October 14–17, 2016, pp. 126–133, DOI: 10.1109/EWDTS.2016.7807677.
34. **Sapozhnikov V. V., Sapozhnikov VI. V., Efanov D. V.** *Postroenie samoproveryaemykh struktur sistem funkcional'nogo kontrolya na osnove ravnovesnogo koda "2 iz 4"* (Design of self-checking concurrent error detection systems based on "2-out-of-4" constant-weight code), *Control Sciences*, 2017, no. 1, pp. 57–64 (in Russian).
35. **Efanov D. V., Sapozhnikov V. V., Sapozhnikov VI. V., Pivovarov D. V.** *Organizatsiya polnost'yu samoproveryaemoj skhemy vstroennogo kontrolya na osnove metoda logicheskogo dopolneniya do ravnovesnogo koda "2 iz 4"* (The organization of the totally self-checking integrated control circuit based on the boolean complement method up to "2-out-of-4" constant-weight code), *Trudy Instituta sistemnogo programirovaniya RAN*, 2018, vol. 30, no. 2, pp. 99–112, DOI: 10.15514/ISPRAS-2018-30(2)-6 (in Russian).
36. **Aksjonova G. P.** *Neobhodimye i dostatochnye usloviya postroeniya polnost'yu proveryaemykh skhem svertki po modulyu 2* (Necessary and sufficient conditions for design of completely checkable modulo convolution circuits), *Avtomatika i Telemekhanika*, 1979, iss. 9, pp. 126–135 (in Russian).
37. **Sapozhnikov V. V., Sapozhnikov VI. V.** *Samoproveryaemye testery dlya ravnovesnykh kodov* (Self-checking checkers for constant-weight codes), *Avtomatika i Telemekhanika*, 1992, no. 3, pp. 3–35 (in Russian).