

References

1. **Abramov A. G., Evseev A. V.** Network RUNNet: towards the state-of-the-art challenges in the field of telecommunications in science and education, *Informatizatsiya Obrazovaniya i Nauki*, 2017, vol. 1, pp. 100–115 (in Russian).
2. **Izhvanov Yu. L.** Research and education computer networks. Past, present and development trends, *Obrazovatel'nye Resursy i Tekhnologii*, 2017, vol. 2, pp. 17–25 (in Russian).
3. **Abramov A. G., Evseev A. V.** RUNNet as a national research and education network of Russia: goals, main tasks, telecommunication infrastructure and services, *Informatizatsiya Obrazovaniya i Nauki*, 2018, vol. 4, pp. 3–15 (in Russian).
4. **Abramov A. G., Evseev A. V.** RUNNet: infrastructural and service basis of the national research and education network of the Russian Federation. Proc. VIII Int. Conf. "Distributed Computing and Grid-technologies in Science and Education" (GRID 2018), Dubna, September 10–14, 2018. pp. 52–57. Urn:nbn:de:0074-2267-5.
5. **Allocchio C., Balint L., Berkhout V., Bersee J., Izhvanov Y. et al.** *A History of international research networking: the people who made it happen*, N. Y., Wiley-VCH, 2010. 317 p.
6. **Lehtisalo K.** The History of NORDUnet: Twenty-five years of networking cooperation in the Nordic countries (2005), available at: <http://www.nordu.net/history/book.html>.
7. **GÉANT: The Case for NRENs.** A Repository of Resources to Support Funding, Advocacy and the Advancement of National and Regional R&E Networks, available at: <https://www.caseforrens.org>.
8. **Abramov A. G.** Pan-European research and education network consortium GÉANT: infrastructure features, key projects and services, *Informatsionnye Tehnologii*, 2018, vol. 8, pp. 546–553 (in Russian).
9. **Vasenin V. A.** *Russian academic networks and Internet (Status, problems, solutions)*, Moskva, REFIA, 1997. 173 p. (in Russian).
10. **Gugel Yu. V., Izhvanov Yu. L., Abramov A. G.** Federal University Network RUNNet: breakthrough in the third decade. Proceedings of the XVIII Joint Conference "The Internet and Modern Society" (IMS-2015), St. Petersburg, June 23–25, 2015, ITMO University, pp. 249–259 (in Russian).
11. **Kulagin M. V., Serebryakov V. A.** Information space of RAS (Projects and implementation, 1998–2013). Scientific service on the Internet: works of the XVIII All-Russian Scientific Conference (September 19–24, 2016, Novorossiysk), Moscow, Keldysh IAM, 2016, pp. 194–222 (in Russian).
12. **Shokin Yu. I., Fedotov A. M., Belov S. D., Zhizhimov O. L., Nikultsev V. S., Chubarov L. B.** *Multiservice corporate data network of the Siberian Branch of the Russian Academy of Sciences (MCS DN SB RAS). The Internet of the Siberian Branch of the RAS SB RAS.* Novosibirsk, Publishing Center of ICT SB RAS, 2005. 39 p. (in Russian).
13. **Khanchuk A. I., Naumova V. V., Sorokin A. A.** Corporate network of the Far Eastern Branch of the Russian Academy of Sciences: high-tech integration of scientific departments, *Vestnik RAN*, 2008, vol. 4, pp. 298–303 (in Russian).
14. **Ovsyannikov A. P., Savin G. I., Shabanov B. M.** Identity federations of research and education networks, *Programmye Produkty i Sistemy*, 2012, vol. 4, pp. 3–7 (in Russian).
15. **Abramov A. G., Vasilyev I. V., Porhachev V. A.** Development of the authentication and authorization infrastructure for the identity federation within the eduGAIN and eduroam projects based on the RUNNet network, *ITNOU: Informatsionnye Tekhnologii v Nauke, Obrazovanii i Upravlenii*, 2017, vol. 4, pp. 56–64 (in Russian).

УДК 004.031.2

DOI: 10.17587/it.25.733-737

Ю. А. Холопов, вед. инженер,

Институт точной механики и вычислительной техники им. С. А. Лебедева
Российской академии наук,

Нгуен Ван Хиеу, магистрант, e-mail: vanhieu942010@gmail.com

Московский физико-технический институт (национальный исследовательский университет)

Реализация контроллера активной синхронной измерительной подсистемы цифровой системы управления

Вынесение из центрального процессора функций управления вводом параметров упрощает разработку и отладку цифровых систем управления. В статье описан вариант построения контроллера периферии с общим для всех интерфейсов управления датчиками генератора временных меток. Показаны преимущества предложенной реализации.

Ключевые слова: цифровая система управления, активная синхронная измерительная подсистема, исполнительная подсистема

Введение

В настоящее время большинство цифровых систем управления (ЦСУ) построено на основе вычислителей с архитектурой универсальной ЭВМ. В таких системах управлением периферии

ей — датчиками и исполнительными устройствами — занимается центральный процессор (ЦП).

Наиболее точная картина состояния объекта управления (ОУ) может быть получена при фиксации всех его параметров одновременно. Программное управление датчиками проводит-

ся последовательно, что не позволяет фиксировать состояние ОУ по единому событию. Решение проблемы предлагается в данной статье.

1. Анализ задачи

В любой ЦСУ набор датчиков всегда статичен или заранее определен, следовательно, гибкость управления измерениями не требуется, и есть возможность вынести функцию управления датчиками из ЦП в некоторый автомат, который будет читать значения с выходов датчиков и пересылать их в память ЦП, выполняя функции активной измерительной подсистемы (ИП) ЦСУ.

Существуют два способа организации работы активной ИП: асинхронный и синхронный.

Асинхронная ИП с максимальной скоростью опрашивает датчики и переносит параметры состояния объекта от каждого из них в общую с ЦП память. В памяти всегда содержатся обновленные данные, которые опрашиваются ЦП асинхронно: и относительно момента их обновления, и относительно фаз обновления в памяти параметров из соседних измерительных каналов.

В синхронной ИП параметры датчиков фиксируются в один и тот же момент времени один раз в начале каждого цикла регулирования. В памяти ЦП параметры обновляются также одновременно по всем каналам измерения. В предлагаемой статье рассматривается реализация контроллера ИП ЦСУ, работающего в активном синхронном режиме.

2. Общая структура цифровой системы управления

Основными подсистемами цифровых систем управления (ЦСУ) являются: расчетная (ЦП), измерительная и исполнительная (рис. 1).

Цифровые системы управления работают циклически, в дискретно-непрерывном режиме. В каждом цикле управления параметры состояния объекта управления фиксируются датчиками (Д) и пересылаются измерительной подсистемой в память расчетной подсистемы, которая доступна и центральному процессору и ИП. На основе информации о состоянии объекта процессор рассчитывает значения параметров управления, необходимые для выполнения поставленной системой управления верхнего уровня или директивной подсистемой задачи. Затем исполнительная подсистема пересылает

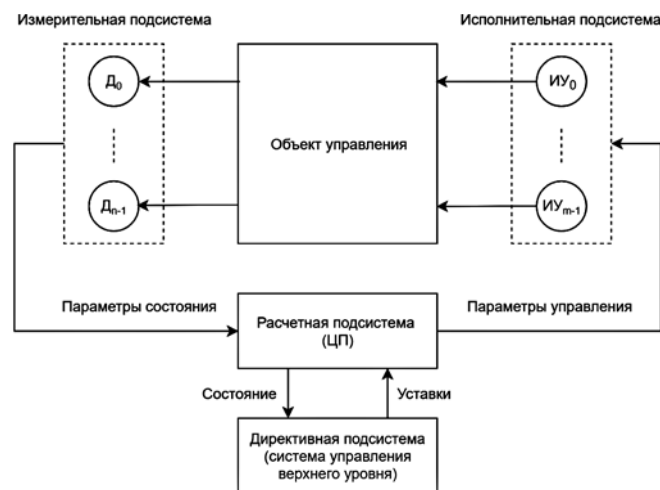


Рис. 1. Структурная схема цифровой системы управления

параметры управления из памяти ЦП исполнительным устройствам (ИУ), которые преобразуют параметры управления в непосредственные воздействия на объект управления [1].

3. Интерфейсы активной синхронной измерительной подсистемы

Как следует из структуры ЦСУ, в модуле измерительной подсистемы должны присутствовать два типа интерфейсов: интерфейс с датчиками и интерфейс с памятью ЦП.

3.1. Интерфейс с датчиками

В ЦСУ типажность первичных интерфейсов для подключения датчиков невелика. Как правило, используются интерфейсы: I²C, UART, SPI, CAN и т. п. Каждый из первичных интерфейсов может использоваться в ЦСУ несколько раз.

Исходными данными для проектирования контроллера интерфейсов с датчиками (далее — модуль внешних интерфейсов, или МВИ) являются их спецификации. Основная задача МВИ: управлять этими интерфейсами в стиле активной синхронной периферийной подсистемы.

Покажем, что структура ИП может быть оптимизирована за счет разделенной реализации функций: логической и временной последовательностей событий управления интерфейсами.

Спецификация любого интерфейса задает последовательность событий управления присоединенным устройством. Переключения машины состояний интерфейса происходят или по временной метке, или по сочетанию внешнего логического события и временной метки.

По опыту авторов, до 60 % оборудования, предназначенного для сопряжения с первичными интерфейсами, приходится на схемы анализа и синтеза временных интервалов. Поэтому возникает желание перенести часть такого оборудования в общий генератор временных меток. Временные события в такой системе обрабатываются не с точностью до одного периода высокочастотного системного синхросигнала, а с необходимой практической точностью, обычно это 1/16 или 1/32 часть обрабатываемого временного интервала.

Основная идея оптимизации структуры МВИ состоит в том, что для генерации временных меток для разных интерфейсов будет использован единый генератор — многоканальный таймер, а логические события формируются индивидуально в соответствии со спецификацией конкретного интерфейса.

Поясним преимущества предлагаемого способа построения модуля внешних интерфейсов, для чего рассмотрим два варианта его реализации.

В первом из них для каждого интерфейса используется отдельный автономный контроллер, который запускается по временной метке начала цикла регулирования и автономно реализует обе последовательности интерфейсных событий.

Структурная схема такого варианта модуля показана на рис. 2.

Модуль внешних интерфейсов состоит из индивидуальных блоков B_i управления первичным интерфейсом каждого типа датчика ST_i . Каждый из этих блоков формирует на выходе набор измеренных параметров состояния $P[i]$ и сигнал их готовности $Ready[i]$, управляющий записью параметров в память контроллера. Все модули используют общий сигнал синхронизации clk , формируемый генератором G . Сетку временных событий интерфейса формирует локальный таймер TM_i . Запуск измерения во всех модулях происходит по единому сигналу $START$, который формируется от блока деления частоты. В современных ЦСУ типовой диапазон частот сигналов: clk — 1...200 МГц, $START$ — 50...1000 Гц.

Для канала записи параметров в память активность индивидуальных блоков управления носит случайный характер, и существует проблема конфликта сигналов готовности $Ready[i]$ от разных модулей: они могут формироваться одновременно. Для разрешения конфликта необходимо использовать дополнительную логику в интерфейсе с буферной памятью контроллера.

Рассмотрим второй вариант реализации группового контроллера, структурная схема которого показана на рис. 3.

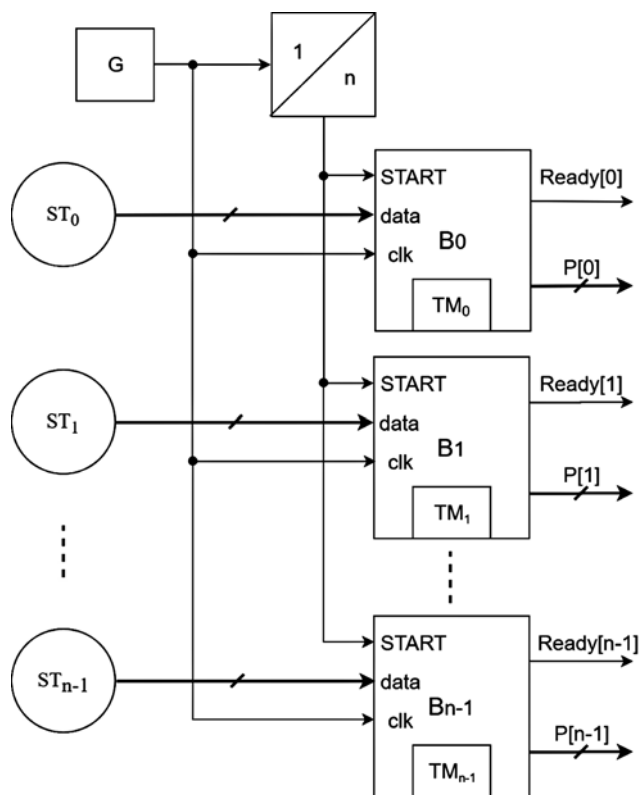


Рис. 2. Модуль внешних интерфейсов с локальными таймерами TM_i

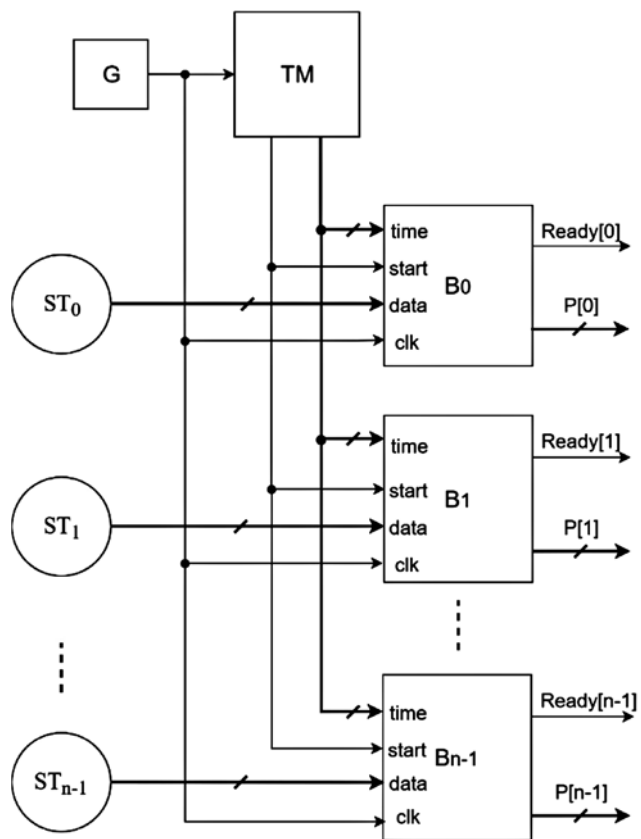


Рис. 3. Модуль внешних интерфейсов с общим таймером TM

Модуль внешних интерфейсов, как и прежде, строит из индивидуальных блоков B_i , которые управляют однотипными интерфейсами и синхронизируются общим сигналом синхронизации от генератора G . Но теперь блок деления частоты генерирует не только метку **START** — начало измерения, но и набор промежуточных временных меток, которые используются для управления внешними интерфейсами. Наличие в контроллере единой сетки временных меток позволяет управлять в разных каналах измерения фазой формирования сигналов готовности данных. Такая реализация позволяет не только сэкономить до 60 % оборудования на временных операциях, но и дополнительно исключить логику разрешения конфликтов доступа к буферной памяти контроллера. Теперь возникновением готовности в каждом измерительном канале можно управлять так, чтобы разнести их активность во времени. Режим работы синхронной ИП с общей памятью ЦП и измерительной подсистемы изменяется. Обслуживание случайных, конфликтующих запросов от измерительных каналов в асинхронной ИП трансформируется в синхронной ИП в режим обращения по расписанию.

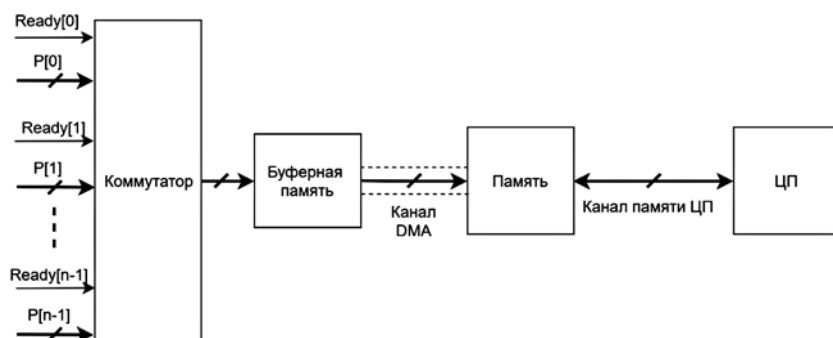


Рис. 4. Схема режима прямого доступа к памяти DMA

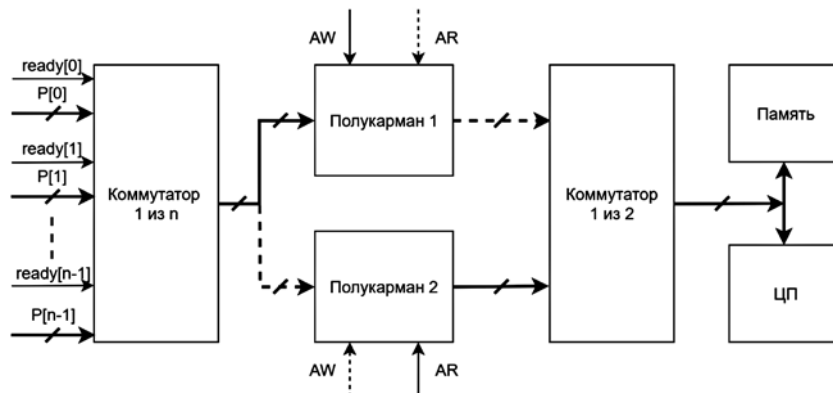


Рис. 5. Механизм "полукарманов"

Может создаться впечатление, что предлагаемая технология касается только подключения тривиальных измерительных датчиков. Однако опыт показывает применимость данного подхода, например, для синхронизации каналов систем технического зрения в целях последующей согласованной обработки кадров из разных каналов [2].

3.2. Интерфейс с памятью ЦП

В каждом цикле работы ЦСУ после выполнения фазы измерения все параметры состояния ОУ должны быть переданы в память ЦП. В контроллере активной синхронной ИП эту функцию выполняет интерфейс с памятью ЦП.

Рассмотрим два варианта реализации этого интерфейса. Первый из них — это традиционный режим "прямого доступа к памяти" (Direct memory access — DMA). Схема такого варианта показана на рис. 4.

DMA — режим обмена данными между устройствами или же между устройством и основной памятью, в котором ЦП не участвует. После окончания измерительной фазы цикла управления все параметры состояния зафиксированы в регистрах МВИ, и есть возможность пересылать их в память ЦП одной групповой операцией, через канал DMA.

Режим DMA рационально использовать для подключения подсистемы ввода к высокопроизводительным микропроцессорам, так как в их окружении часто присутствуют скоростные интерфейсы, реализованные на базе DMA-обменов, например каналы PCI-E. В простых однокристальных вычислителях взаимодействие ИП с ЦП легче реализовать через механизм "полукарманов" (рис. 5).

Принцип работы механизма "полукарманов" состоит в следующем. В каждом цикле регулирования одновременно выполняются два типа операций обмена между МВИ, ЦП и памятью параметров: запись в память вновь измеренных параметров, которые будут использоваться в следующем цикле, и чтение в ЦП параметров состояния, сформированных для текущего цикла. В буфере используются два банка однопортовой памяти. В ци-

кле регулирования из одного банка происходит (только) чтение параметров, в то время как в другой банк осуществляется запись вновь измеренных параметров. При записи в банк адреса формирует контроллер ИП, в режиме чтения банк подключается в отрезок адресного пространства ЦП. В следующем цикле регулирования функции банков меняются [3].

Такая реализация позволяет исключить конфликт между процессом записи новых параметров в память ЦП и процессом чтения предыдущих параметров из этой памяти. ЦП в любой момент времени может опрашивать подключенный в адресное пространство буфер в монопольном режиме.

Выводы

Предлагаемый синхронный способ взаимодействия ЦП с датчиками в ЦСУ реализует упорядоченный стиль управления внешними интерфейсами и имеет следующие преимущества в сравнении с традиционным — асинхронным:

- сокращает затраты на контроллеры индивидуальных первичных интерфейсов за счет использования единого генератора временных меток;
- отсутствуют конфликты обращения модулей первичных интерфейсов к буферной памяти, что сокращает аппаратные затраты и время формирования пакета состояния;
- ускоряется работа измерительной подсистемы: для пересылки параметров состояния в память ЦП используются только групповые обмены.

Список литературы

1. Поляков К. Ю. Основы теории цифровых систем управления: учеб. пособ. СПб.: Изд. СПбГМТУ, 2006. С. 10—12.
2. Пунь А. Б., Гаврилов Д. А., Щелкунов Н. Н., Fortunatov A. A. Алгоритм адаптивной бинаризации объектов в видеопоследовательности в режиме реального времени // Успехи современной радиоэлектроники. 2018. № 8. С. 40—48.
3. Ле Ба Чунг, Нгуен Тхань Чунг. Особенности подключения периферийных устройств к микропроцессору в высокочастотной динамической системе управления // Сб. XXI Междунар. науч.-практ. конф. "Техника и технология: новые перспективы развития. Москва, 20 мая 2016 г.". М.: Спутник+, 2016. С. 15—18.

Yu. A. Holopov, Leader Engineer,

Lebedev Institute of Precision Mechanics and Computer Engineering,

Nguyen Van Hieu, Postgraduate, e-mail: vanhieu942010@gmail.com,

Moscow Institute of Physics and Technology (National Research University)

Implementation of the Active Synchronous Measuring Subsystem Controller in Digital Control System

The removal of parameter input control functions from the CPU simplifies the development and debugging of digital control systems. The article describes a variant of designing a peripheral controller, for all sensor control interfaces, a timestamp generator. The advantages of the proposed implementation are shown.

Keywords: digital control system, active synchronous measuring subsystem, executive subsystem

DOI: 10.17587/it.25.733-737

References

1. Poljakov K. Ju. Fundamentals of the theory of digital control systems, SPb., Publishing house of SPbGMTU, 2006, pp. 10—12 (in Russian).
2. Pun' A. B., Gavrilov D. A., Shhelkunov N. N., Fortunatov A. A. *Uspehi sovremennoj radioelektroniki*, 2018, no. 8, pp. 40—48 (in Russian).

3. Le Ba Chung, Nguyen Thanh Trung. Features of connection of peripheral devices to the microprocessor in a highly dynamic control system, *Sbornik XXI Mezhdunarodnoj nauchno-prakticheskoy konferencii "Tehnika i tehnologija: novye perspektivy razvitija. Moskva, 20 maja 2016 g."*, Sputnik+, 2016, pp. 15—18 (in Russian).