

**А. И. Галушкин**, д-р техн. наук, проф.,  
 начальник центра нейросетевых технологий, e-mail: neurocomputer@yandex.ru;  
 Международный центр по информатике и электронике (Интер ЭВМ)

## Новые технологии микроэлектроники и разработки перспективных нейрокомпьютеров

*Описаны основные проблемы и трудности, которые имеются в настоящее время и, вероятно, будут присутствовать в будущем при развитии и внедрении новых технологий микроэлектроники в разработки перспективных нейрокомпьютеров.*

**Ключевые слова:** нейросетевые технологии, новые технологии микроэлектронники, нейронные сети и нейрочипы с частотно-импульсной модуляцией сигналов, мемристоры

### Введение

Нейросетевые технологии, развиваемые с 40-х годов прошлого века, в настоящее время получили активное развитие. Это связано с ростом сложности решаемых формализуемых и неформализуемых задач, что в свою очередь требует отказа от классической фон-Неймановской архитектуры вычислительных систем при переходе к распределенным, в том числе нейросетевым, архитектурам.

Решение сложных задач в нейросетевом логическом базисе зачастую требует аппаратной поддержки, которая в настоящее время реализуется на базе GPU, FPGA и во многих случаях — на базе цифровых, аналогово-цифровых и аналоговых нейрочипов.

В течение многих лет кроме стандартной КМОП-технологии для разработки и изготовления нейрочипов имеют место активные попытки применения для этих целей других технологий:

- мемристорной в сочетании с КМОП-технологией;
  - оптической;
  - квантовой;
  - молекулярной;
  - технологии вакуумных схем;
- и др.

Каждый тип технологий накладывает существенные ограничения на структуру аппаратно-реализуемого фрагмента нейронной сети и, как следствие, на алгоритмы настройки коэффициентов и нейросетевые алгоритмы решения задач. Примером могут являться российские разработки аналогово-цифровых нейрокомпьютеров 60-х, 70-х годов прошлого века, когда весовые коэффициенты реализовывались на потенциометрах, а сумматоры с нелинейным преобразованием — на операционных усилителях. При этом после аппаратной реализации достаточно большой нейронной сети с полными последовательными связями была сделана попытка построения нейрокомпьютера с уменьшением числа операционных усилителей нейронов с некоторым увеличением числа весовых коэффициентов (потенциометров), с реализацией нейронной сети с перекрестными связями, настраиваемыми связями с предыдущего слоя на последующий слой нейронной сети. В то время значительная разница в стоимости и энергопотреблении потенциометров и операционных усилителей являлась определяющей.

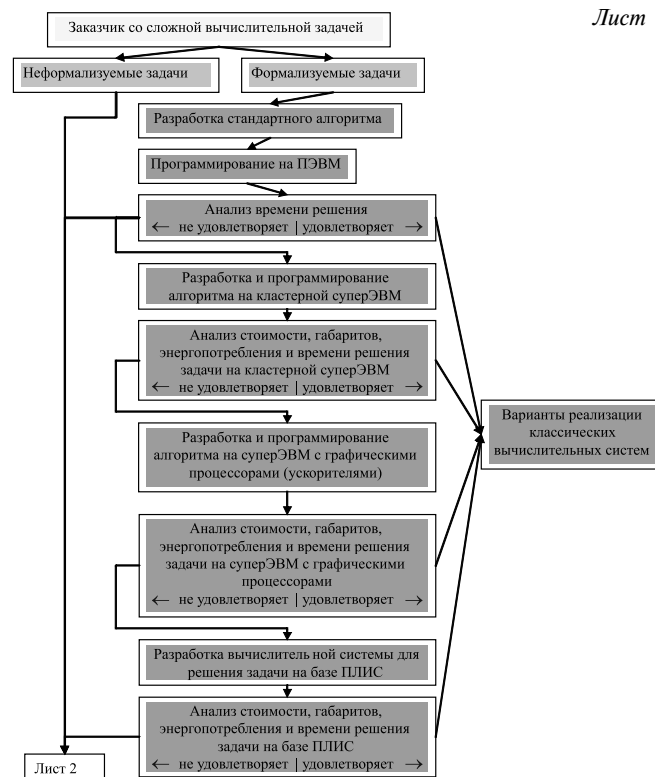
Данная статья, посвященная в основном проблемам создания нейрокомпьютеров с применением мемристоров, обращает внимание на то, что при построении ана-

логово-цифровых нейрочипов с применением мемристоров, число мемристоров в СБИС-нейрочипе может быть достаточно велико, что в свою очередь приведет к специализации структуры фрагмента аппаратно-реализуемой нейронной сети.

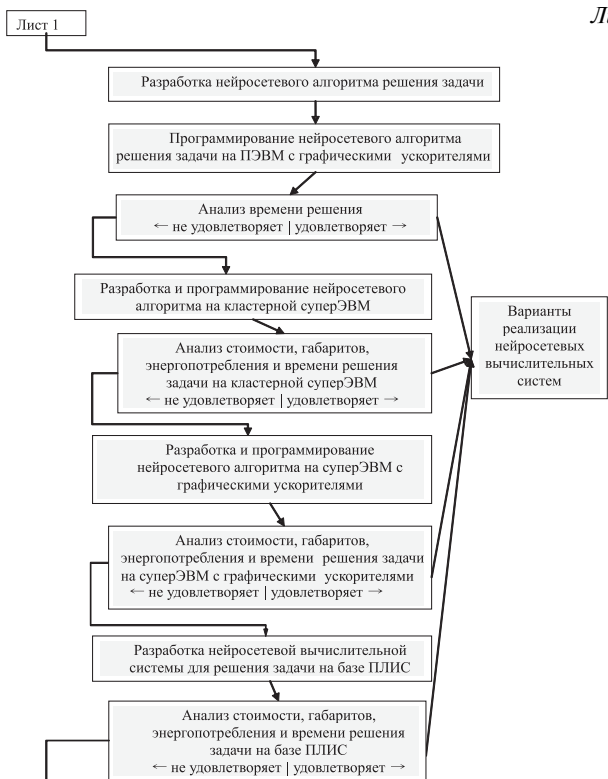
На рисунке представлена структура работ по внедрению новой технологии микроэлектроники (на примере мемристорной) в перспективные нейрокомпьютеры.

Данная структура представляет собой предлагаемые автором порядок и состав проведения работ по внедрению новой технологии микроэлектроники в высокопроизводительные нейрокомпьютеры. И порядок, и состав работ могут меняться в зависимости от конкретного вида технологии с обязательным или, по крайней мере, желательным обоснованием исключения отдельных этапов работ, представленных ниже в данной статье.

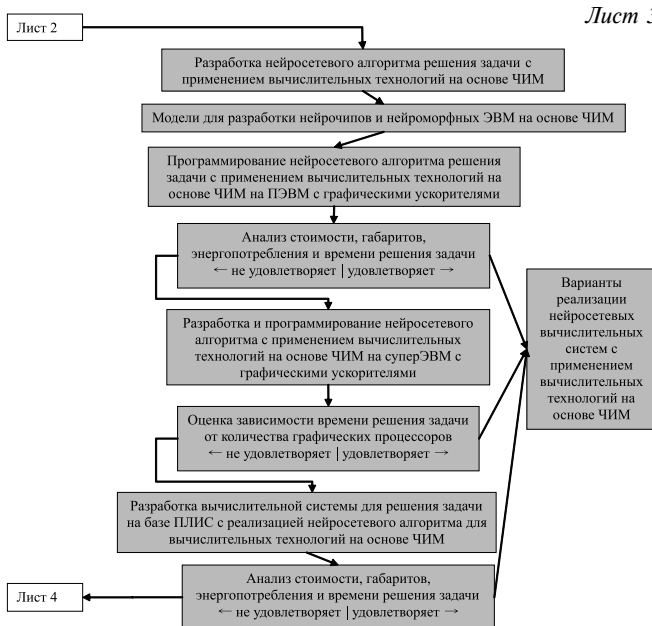
Лист 1



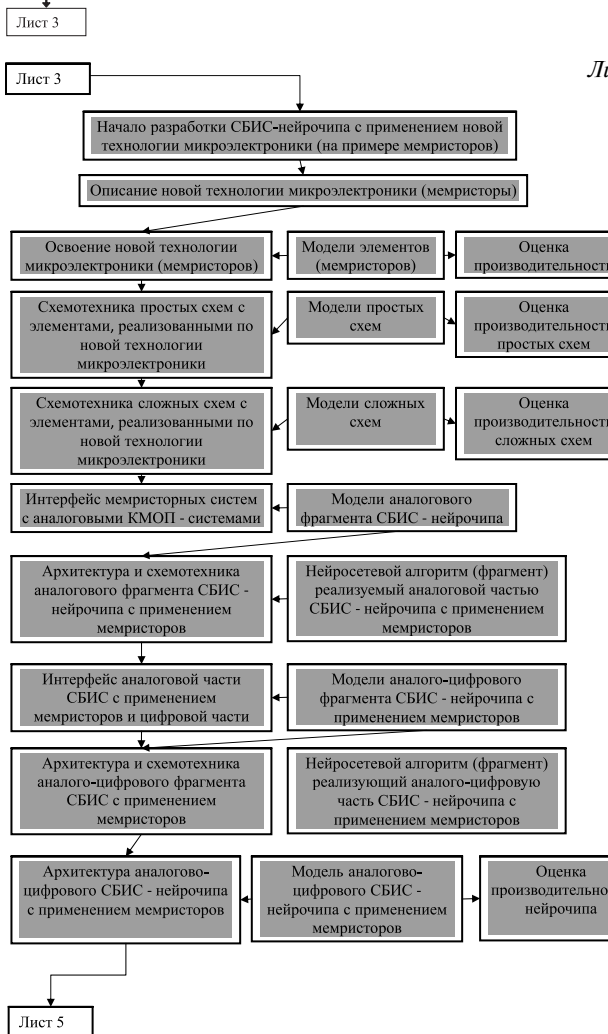
**Структура работ по внедрению новой технологии микроэлектроники в высокопроизводительные нейрокомпьютеры (продолжение см. на следующей странице)**



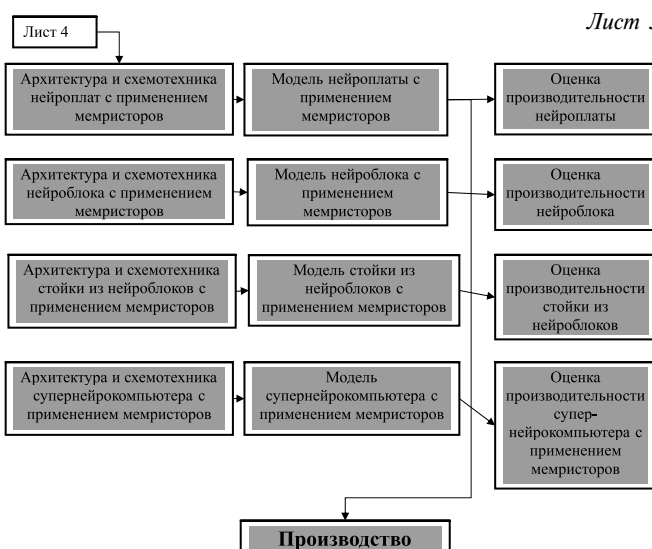
Лист 2



Лист 3



Лист 4



Лист 5

## Структура работ по внедрению новой технологии микроэлектроники в высокопроизводительные нейрокомпьютеры (окончание)

### 1. О классических подходах к решению задач

В основе работ по внедрению новых технологий микроэлектроники в высокопроизводительные нейрокомпьютеры лежит базовая задача заказчика или группа задач группы заказчиков. Указанные задачи можно подразделить на два класса:

- формализуемые;
- неформализуемые.

Для формализуемых задач совместно с разработкой стандартного алгоритма и его программированием на современной персональной ЭВМ анализируется время решения задачи.

Если время решения задачи удовлетворяет заказчика (или заказчиков), то на этом ее решение заканчивается и потребности во внедрении новой технологии микроэлектроники нет. Если время решения задачи не удов-

летворяет заказчика, то, как показано на рис. 1, у разработчика два пути:

- переход к разработке и программированию алгоритма для кластерной суперЭВМ;
- разработка нейросетевого алгоритма решения задачи.

На первом пути анализируются стоимость, габаритные размеры, энергопотребление и время решения задачи на кластерной суперЭВМ для различного числа узлов. Если эти характеристики удовлетворяют заказчика, то на этом решение задачи заканчивается, и потребности во внедрении новой технологии микроэлектроники нет.

Если стоимость, габаритные размеры, энергопотребление или время решения задачи на кластерной суперЭВМ не удовлетворяют заказчика, необходимо разработать и запрограммировать алгоритм решения задачи на суперЭВМ с графическими процессорами.

В этом случае, как и в предыдущем, необходимо провести анализ стоимости, габаритных размеров, энергопотребления и времени решения задачи на суперЭВМ с графическими процессорами. Если эти требования удовлетворяют заказчика, то на этом этапе решение задачи заканчивается, и потребности во внедрении новой технологии микроэлектроники опять отсутствуют.

Если эти требования не удовлетворяются, то необходимо провести программирование и реализацию классических алгоритмов решения задачи на базе программируемых логических интегральных схем (ПЛИС).

Если требования заказчика при этой реализации удовлетворяются, то данная реализация не требует в дальнейшем применения новой технологии микроэлектроники и является самостоятельным решением.

Указанные выше реализации алгоритмов решения задачи на ПЭВМ, на кластерной суперЭВМ, на суперЭВМ с графическими процессорами, на базе ПЛИС, удовлетворяющие требованиям заказчика, не требуют внедрения новых технологий микроэлектроники.

В случае когда время решения задачи на персональной ЭВМ, стоимость, габаритные размеры, энергопотребление и время решения задачи на кластерных суперЭВМ или суперЭВМ на базе графических процессоров, а также на базе ПЛИС, не удовлетворяют заказчика, задача является неформализуемой, и необходимо переходить к разработке реализации нейросетевых алгоритмов решения задач.

## **2. Структура работ по созданию и реализации нейросетевых алгоритмов решения задач**

Разработка нейросетевого алгоритма решения задачи проводится в соответствии с соответствующей методикой [1], апробированной на многих задачах.

После окончания разработки нейросетевого алгоритма решения задачи необходимо провести его программирование на ПЭВМ с графическими ускорителями и анализ времени решения задачи.

Если время решения задачи удовлетворяет заказчика, то на этом разработка данного варианта нейромкомпьютера (ПЭВМ с графическими ускорителями и нейросетевым программным обеспечением) заканчивается, и потребность во внедрении новой технологии микроэлектроники отсутствует.

Если время решения задачи не удовлетворяет заказчика, то необходимо провести разработку и программирование нейросетевого алгоритма на кластерной суперЭВМ и также, как и ранее, провести анализ стоимости, габаритных

размеров, энергопотребления и времени решения задачи в зависимости от числа узлов кластерной суперЭВМ.

Если эти требования заказчика удовлетворяются, то на этом решение задачи заканчивается разработкой нейромкомпьютера в виде варианта кластерной суперЭВМ с нейросетевым программным обеспечением, и потребность во внедрении новой технологии микроэлектроники отсутствует.

Если время решения задачи, стоимость, габаритные размеры и энергопотребление не удовлетворяют заказчика, то необходимо провести разработку и программирование нейросетевого алгоритма для суперЭВМ на базе графических процессоров и также, как и ранее, провести анализ стоимости, габаритных размеров, энергопотребления и времени решения задачи в зависимости от числа графических процессоров.

Если эти требования заказчика удовлетворяются, то на этом решение задачи заканчивается разработкой нейромкомпьютера в виде варианта суперЭВМ на базе определенного числа графических процессоров с нейросетевым программным обеспечением, и потребность во внедрении новой технологии микроэлектроники отсутствует.

Если время решения задачи, стоимость, габаритные размеры и энергопотребление при реализации нейросетевого алгоритма на суперЭВМ на базе графических процессоров не удовлетворяют заказчика, то необходимо провести разработку, программирование и реализацию нейросетевого алгоритма на вычислительной системе на базе ПЛИС и также, как и ранее, провести анализ стоимости, габаритных размеров, энергопотребления и времени решения задачи в зависимости от числа ПЛИС в вычислительной системе.

Если эти требования заказчика удовлетворяются, то на этом решение задачи заканчивается разработкой нейромкомпьютера в виде вычислительной системы на базе ПЛИС с нейросетевыми алгоритмами функционирования, и потребность во внедрении новой технологии микроэлектроники отсутствует.

Указанные выше реализации нейросетевых алгоритмов решения задачи на ПЭВМ, на кластерной суперЭВМ, на суперЭВМ с графическими процессорами, на базе ПЛИС, удовлетворяющие требованиям заказчика, не требуют внедрения новой технологии микроэлектроники.

В случае когда время решения задачи в нейросетевом логическом базисе на персональной ЭВМ, стоимость, габаритные размеры, энергопотребление и время решения задачи на кластерных суперЭВМ или суперЭВМ на базе графических процессоров, а также на базе ПЛИС не удовлетворяют заказчика, необходимо переходить к разработке и реализации нейросетевых алгоритмов решения задач с применением частотно-импульсной модуляции сигналов (ЧИМ) [2] (*spiking neural network*).

## **3. Структура работ в случае нейросетевых алгоритмов решения задач с применением нейронных сетей с частотно-импульсной модуляцией сигналов**

Переход в разработке нейромкомпьютеров к представлению уровня сигналов в виде частоты последовательности узких импульсов является принципиальным, в первую очередь, с точки зрения энергопотребления. Ярким примером этого является разработка нейромчипа TrueNorth фирмы IBM [3]. Это делает данный результат нейросетевых технологий (*spiking neural network*) достаточно самостоятельным и перспективным.

Естественно, начальным этапом этих работ является попытка реализации этой нейросетевой парадигмы на ПЭВМ, суперЭВМ с графическими ускорителями и вычислительными системами на базе ПЛИС. Вариант реализации на кластерной суперЭВМ здесь пропускается вследствие его неперспективности.

Необходимо отметить, что для варианта НСЧИМ (нейронных сетей с частотно-импульсной модуляцией сигналов) необходима разработка специфических разделов:

- теории нейронных сетей;
- нейроматематики;
- нейроуправления,

как алгоритмической основы реализации нейрокомпьютеров с применением НСЧИМ.

Первым этапом работ в этом направлении является разработка нейросетевого алгоритма решения задачи с применением НСЧИМ.

В рамках решения задач по данному первому этапу работ необходимо создание комплекса моделей нейрончиков и нейроморфных ЭВМ на основе НСЧИМ [4], а именно моделей (см. рисунок):

- входного сигнала нейронных сетей;
- функционалов первичной оптимизации;
- нейронных сетей;
- процессов настройки коэффициентов нейронных сетей в нейроморфных ЭВМ;
- процессов настройки коэффициентов нейронной сети с переменной структурой;
- процессов настройки коэффициентов нейронных сетей в нейроморфных ЭВМ с ограничениями на настраиваемые коэффициенты;
- типовых входных сигналов нейронных сетей;
- планов экспериментов и визуализации результатов для проверки качества работы нейронных сетей;
- решения формализуемых и неформализуемых задач с применением больших нейронных сетей для перспективных нейроморфных ЭВМ;
- распараллеливания нейросетевых алгоритмов в соответствии с реальной структурой физических моделей перспективных нейроморфных ЭВМ.

Этот комплекс моделей должен быть реализован на суперЭВМ с применением графических процессоров.

Разработанные нейросетевые алгоритмы должны быть запрограммированы и исследованы на ПЭВМ с графическими ускорителями с анализом стоимости, габаритных размеров, энергопотребления и времени решения задачи для различного числа графических модулей. В случае удовлетворения требований заказчика разработан вариант нейрокомпьютера (ПЭВМ с несколькими графическими платами и нейросетевое (НСЧИМ) программное обеспечение).

Если требования заказчика не удовлетворяются вариантом ПЭВМ с несколькими графическими ускорителями, необходимо перейти к разработке и программированию нейросетевого алгоритма (НСЧИМ) решения задачи на суперЭВМ с применением графических процессоров с соответствующей данному варианту времени решения задачи в зависимости от числа графических процессоров в используемой суперЭВМ. В случае удовлетворения требований заказчика по стоимости, габаритным размерам, энергопотреблению и времени решения задачи разработан вариант нейрокомпьютера (суперЭВМ на базе графических процессоров с нейросетевым (НСЧИМ) программным обеспечением).

Если требования заказчика не удовлетворяются вариантом суперЭВМ на базе графических процессоров, необходимо перейти к разработке и реализации вычислительной системы на базе ПЛИС с реализацией нейросетевых (НСЧИМ) алгоритмов решения задачи. Если данный вариант реализации удовлетворяет требованиям заказчика, то разработан нейрокомпьютер на базе некоторого числа ПЛИС с нейросетевой (НСЧИМ) структурой реализации алгоритма решения задачи.

Отметим, что и эти варианты реализации нейрокомпьютеров с ЧИМ (ПЭВМ с несколькими графическими модулями, суперЭВМ на базе графических процессоров, системы на базе ПЛИС) не требуют развития и внедрения новых технологий микроэлектроники.

### **Выводы по п. 1—3**

Все вышерассмотренные варианты реализации нейрокомпьютеров практически не требуют развития и внедрения новых технологий микроэлектроники. Потребность в них появляется из-за невозможности удовлетворить требования заказчика предыдущими вариантами. Однако необходимо отметить следующее:

- отсутствие реализации нейрокомпьютера по вышеперечисленным вариантам не может служить основанием для попытки внедрения новых технологий микроэлектроники в перспективные нейрокомпьютеры;
- само по себе развитие и внедрение новых технологий микроэлектроники требует проведения значительной части работ из п. 1—3;
- наиболее эффективным вариантом реализации нейрокомпьютера, ориентированном на решение задач в нейросетевом логическом базисе (НСЧИМ) в виде заказного цифрового нейрончика, в настоящее время является разработка нейрончика TrueNorth [3] фирмы IBM. Для реализации нейрокомпьютеров с применением новых технологий микроэлектроники (ниже на примере мемристоров) требуется проведение комплекса работ, описанного ниже, включая практически все работы из п. 3.

### **4. О разработках нейрончиков и нейроморфных ЭВМ с применением мемристоров**

В настоящее время мемристоров являются основной перспективной технологией для будущих нейрокомпьютеров. Развитие непосредственно самой технологии изготовления мемристормых матриц является важным самостоятельным вопросом и не рассматривается в данной работе. Здесь анализируются проблемы, связанные с разработкой нейрончиков и нейроморфных ЭВМ с применением мемристоров, относящиеся конкретно к разработке нейрончиков и нейроморфных ЭВМ с применением мемристоров.

Необходимо отметить, наряду с п. 3, что для вариантов нейрончиков и нейроморфных ЭВМ с применением мемристоров необходима разработка специфических разделов, а именно:

- теории нейронных сетей, алгоритмы адаптации которых ориентированы на специфические мемристормые структуры нейронных сетей и на учет динамических свойств мемристормых как элементов, реализующих весовые коэффициенты;
- нейроматематики, как раздела вычислительной математики, связанного с решением задач с учетом указанной модификации теории нейронных сетей, используемой для решения задач в нейросетевом логическом базисе;

- методов распараллеливания нейросетевых алгоритмов решения задач на специфические "мемристорные", аппаратно реализованные нейросетевые структуры;
- нейроруправления, где для работы в реальном времени в обязательном порядке необходим учет динамических характеристик мемристоров.

В рамках освоения новой технологии микроэлектроники — мемристоров, разработчикам нейрочипов и нейроморфных ЭВМ совместно с разработчиками технологии мемристоров необходимо создать модели элементов (мемристоров и мемристорных матриц) с оценкой производительности в операциях будущих нейрочипов и нейроморфных ЭВМ.

Разработчиками нейросетевых (НСЧИМ) алгоритмов решения задач, архитектуры нейрочипов и нейроморфных ЭВМ, а также специалистами по распараллеливанию нейросетевых алгоритмов и схемотехниками должна быть разработана архитектура, функциональная структура и схемотехника *аналоговой* части нейрочипа с применением мемристоров, а совместно с технологами — технология стыковки мемристорных матриц большого размера с аналоговой частью нейрочипа.

Параллельно с этим должны быть созданы модели указанных аналоговых схем в средах Cadence или Pspice, а также соответствующие модели аналоговых схем с мемристорными блоками и оценка производительности данной части нейрочипа в терминах операций нейроморфных ЭВМ.

Разработчиками нейросетевых (НСЧИМ) алгоритмов решения задач, архитектуры нейрочипов и нейроморфных ЭВМ, специалистами по распараллеливанию нейросетевых алгоритмов, схемотехниками должна быть разработана архитектура, функциональная структура и схемотехника *цифровой* части нейрочипа с применением мемристоров, а отдельно схемотехниками — интерфейс между аналоговой и цифровой частями СБИС с применением мемристоров.

При этом должна быть проведена оценка производительности цифровой части нейрочипа в операциях нейроморфной ЭВМ.

В результате решения задачи распараллеливания нейросетевого алгоритма решения задачи должен быть разработан фрагмент нейросетевого алгоритма, реализуемого цифровой частью нейрочипа. Параллельно с этим должны быть созданы модели цифровой части в среде Cadence.

Интеграция указанных выше работ с интерфейсом нейрочипа с внешней средой позволит провести разработку архитектуры, схемотехники и моделей нейрочипа с применением мемристоров в среде Cadence, а также оценку его производительности в операциях нейроморфной ЭВМ.

Заключительными этапами работ по созданию нейроморфных ЭВМ будут разработка архитектуры и схемотехники нейронной, нейроблоков, нейростоек, супернейрокомпьютера, а также работы по оценке их производительности и созданию моделей в среде Cadence.

Результаты последних этапов работ будут переданы на производство с учетом библиотек элементов и технологических норм конкретного производства.

### Заключение

Представленная структура позволит, с одной стороны, сильно не рисковать работами по освоению новой технологии микроэлектроники при разработке перспективных нейрокомпьютеров и не тормозить излишними проблема-

ми работы, которые инициируются, а с другой стороны — оптимально выбирать состав работ по освоению новой технологии микроэлектроники с обоснованием необходимости этих работ, кроме горячего энтузиазма разработчиков и ссылок на многочисленные зарубежные работы.

Данная структура может быть основой для выбора состава работ по внедрению новых технологий микроэлектроники в разработки перспективных нейрокомпьютеров. При этом возможны две ошибки:

*первая* — когда работа по созданию и освоению новых технологий микроэлектроники ставится в некотором значительном отрыве от разработки будущего изделия, где эта технология должна применяться. Соответственно, ошибка здесь заключается в риске самой разработки;

*вторая* — когда финансирующая организация требует от разработчика функциональных элементов обоснования эффективности применения этих функциональных элементов в количественных характеристиках изделия, в котором они применяются. При этом такое обоснование требует проведения значительного объема работ до начала освоения новой технологии микроэлектроники. Иногда эти требования дополняются требованием подписания у конечного заказчика изделия подтверждения эффективности применения новой технологии микроэлектроники.

Обе указанные ошибки заводят проблему разработки в тупик. В первом случае — из-за рисков отрицательного результата разработки, во втором случае — из-за необходимости проведения дополнительной работы, иногда многократно превышающей объема самой разработки.

На втором пути заказчик своими требованиями доказательства эффективности применения новой технологии микроэлектроники на уровне конечного продукта заведомо завышает объем предварительных работ. Причинами этого, как правило, являются либо профессиональная неподготовленность заказчика, либо опасение наказания за риски при следовании по первому пути разработки.

Естественно, любая предлагаемая технология микроэлектроники может иметь более широкую сферу применения, нежели нейрокомпьютеры. Поскольку данная статья посвящена технологии мемристоров и их внедрению в нейрокомпьютеры, то необходимо отметить, что в части массового производства рынок мемристорных систем будет формироваться не за счет нейрокомпьютеров, а за счет энергонезависимой памяти, коммутационной среды ПЛИС, других разработок.

Это позволяет в значительной степени увеличить допустимые риски разработки нейрокомпьютеров с применением мемристоров.

### Список литературы

1. **Галушкин А. И.** О методике решения задач в нейросетевом логическом базисе. Приложение к журналу "Информационные технологии". 2006. № 9. 24 с.
2. **Spiking neural network.** Wikipedia.
3. **Akopyan F., Sawada J., Cassidy A., Alvarez-Icaza R., Arthur J., Merolla P., Imam N., Nakamura Y., Datta P., Nam Gi-Joon, Taba B., Beakes M., Brezzo B., Kuang J. B., Manohar R., Risk W. P., Jackson B., Modha D. S.** TrueNorth: Design and Tool Flow of a 65 mW 1 Million Neuron Programmable Neurosynaptic Chip // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. Oct. 2015. Vol. 34. N. 10. P. 1537—1557.
4. **Галушкин А. И.** Модели для разработки нейрочипов и нейроморфных ЭВМ // Информатизация и связь. 2015. № 4. С. 35—42.

## New Microelectronics Technology and the Development of Advanced Neurocomputers

*The article describes main problems and difficulties that are currently available and are likely to be present in the future in the field of development and introduction of new microelectronic technologies in the advanced neuro-computers.*

*This structure of works represents the operation procedure and composition of the work on introduction of new microelectronics technology in high-performance neurocomputers proposed by the author. Both the operation procedure and scope of work may vary depending on the type of technology, with required, or at least desirable, justification for the exclusion of certain stages of work presented below in this article:*

- about classical possible approaches to task solutions;
- work structure for the design and implementation of neural network based algorithms for problem solving;
- the description of spiking neural network algorithms;
- development of neurochips and neuromorphic computers with use of memristor.

**Keywords:** neural network technology, new technology of microelectronics, spiking neural networks and neurochips, memristors

### References

1. Galuskin A. I. O metodike peshenul zadach w neurosetevom logicheskom bazise. *Prilogenie k zhurnaln "Informazionnie nechnologii*, 2006, no. 9, 24 p.
2. Spiking neural network. Wikipedia.
3. Akopyan F., Sawada J., Cassidy A., Alvarez-Icaza R., Arthur J., Merolla P., Imam N., Nakamura Y., Datta P., Nam Gi-Joon, Taba B.,

Beakes M., Brezzo B., Kuang J. B., Manohar R., Risk W. P., Jackson B., Modha D. S. TrueNorth: Design and Tool Flow of a 65 mW 1 Million Neuron Programmable Neurosynaptic Chip, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Oct. 2015, vol. 34, no. 10, pp. 1537–1557.

4. Galushkin A. I. Modely dlja razrabotki neurochipo v neuro-morfnyh computers, *Informatizacija u svjaz*, 2015, no. 4, pp. 35–42.

УДК 621.391.037.372

В. Н. Дам, аспирант, e-mail: damvan.nhich@gmail.com,  
Московский физико-технический институт

## Автоматическое распознавание цифровой модуляции радиосигналов с помощью многослойной нейронной сети по кумулянтным признакам

*Решается задача распознавания видов цифровой модуляции радиосигналов с помощью многослойной нейронной сети. Распознавание проводится с основными видами цифровой модуляции: 2-PSK, 4-PSK, 8-PSK, 2-FSK, 8-QAM, 16-QAM, 64-QAM. Лучший результат был показан при использовании девяти признаков и 40 нейронов в скрытом слое.*

**Ключевые слова:** модуляция, распознавание вида модуляции, IQ-сигналы, моменты, кумулянты, гауссовый шум, нейронная сеть, Neural Network Toolbox

### Введение

В коммуникационной системе важной задачей является распознавание заданных видов модуляции радиосигналов, т. е. радиосигналов с заданными видами модуляции. Эта задача сложная, сложность обусловлена тем, что здесь распознаванию подлежат целые классы сигналов — радиосигналы с заданными видами модуляции и разными значениями параметров модуляции. Распознавание видов модуляции радиосигналов в реальных условиях затрудняется появлением радиосигналов с новыми неизвестными ранее видами модуляции.

### 1. Модуляция и задача распознавания видов цифровой модуляции

В практике чаще всего используют фазовую (M-PSK), частотную (M-FSK) и квадратурную амплитудную модуляцию (M-QAM), где M — уровень квантования сигнала. Существуют несколько подходов к решению поставленной задачи, но чаще всего применяются три подхода: нейронные сети [1–4], кумулянты высокого порядка [5, 6] и спектральные признаки [7, 8]. В настоящей работе исследуется возможность повышения эффективности распознавания видов цифровой модуляции с помощью ней-