

**А. И. Галушкин**, д-р техн. наук, проф., зам. зав. каф.,

Московский физико-технический институт, г. Долгопрудный,

проф. НИУ "Высшая школа экономики", г. Москва, e-mail: neurocomputer@yandex.ru,

**Д. В. Пантюхин**, ст. преподаватель, НИУ "Высшая школа экономики", г. Москва,

преподаватель, Московский физико-технический институт, г. Долгопрудный, e-mail: dim\_beavis@mail.ru

## СуперЭВМ и мемристоры

*Излагается мнение авторов о перспективах развития области сверхвысокопроизводительной вычислительной техники — нейрокомпьютеров в связи с появлением мемристоров. Такие перспективы определяются сверхвысокой параллельностью, обусловленной переходом на нейросетевой логический базис, резким снижением энергопотребления за счет представления информации в виде последовательности узких импульсов, переходом к аналоговой реализации части алгоритмов с резким повышением быстродействия. Представлены примеры разработки подобных нейрочипов и нейросистем последних лет.*

**Ключевые слова:** нейрокомпьютеры, нейрочипы, мемристоры, суперЭВМ, экзафлопные вычисления

### Введение

Основными предпосылками для развития супервычислений в настоящее время являются:

- отход от архитектуры фон Неймана к распределенным (в том числе нейросетевым) архитектурам [1—3];
- развитие теории нейронных сетей, нейроматематики и нейроуправления [4—15];
- развитие технологии микроэлектроники для создания нейрокомпьютеров [16—19], в том числе нейросетевых ускорителей вычислений с мемристорами для:

— повышения производительности обработки информации при решении задач;

— резкого понижения энергопотребления по сравнению с классическими кластерными суперЭВМ и суперЭВМ на базе графических процессоров;

— обеспечения радиационной устойчивости вычислительных элементов;

— использования отечественной технологической базы, устойчиво освоенной на текущий момент времени;

— импортозамещения в части основных обрабатываемых элементов в интегральных вычислительных системах.

Основная цель работ — развитие и применение нового поколения нейрокомпьютеров наряду с созданием отечественных СБИС массового потребления — памяти и ПЛИС с мемристорной коммутационной средой.

Цели могут быть достигнуты за счет реализации следующих подходов:

- переход от классического фоннеймановского базиса решения задач к нейросетевому логическому базису;

- переход к импульсному представлению сигналов (когда информационный сигнал определяется последовательностью узких импульсов) вместо представления сигнала в виде уровней токов и напряжений;

- переход к другой перспективной элементной базе — мемристорам (вычислительным элементам, объединяющим функции вычислений и памяти) и, как следствие, реализация в вычислительной системе принципов аналого-цифровой обработки в целях повышения производительности при контролируемом качестве обработки.

Работы в области применения нейрокомпьютеров в США начались по программе DARPA Neural network Study в 1987—1988 гг. Программа изучения нейронных сетей, финансируемая DARPA/ТТО (Tactical Technology Office of the U.-S. Defense Advanced Research Projects Agency), ставила перед собой следующие задачи:

- определение потенциальных применений нейронных сетей в военных системах;
- выявление текущего состояния нейросетевых технологий;
- выявление тенденций развития нейросетевых технологий;
- разработка плана работ на ближайшие пять лет.

Работу возглавляла Лаборатория Линкольна Массачусетского технологического института (Massachusetts Institute of Technology's Lincoln Laboratory — EMIT/LL). Начиная с 1992 г. в США проводилась финансируемая правительством пятилетняя работа по разработке и применению нейрокомпьютеров в военной технике. Президент Буш назвал 90-е годы "десятилетием мозга" вследствие принципиальной важности теории нейронных сетей для развития современного общества.

Задачи, решаемые нейрокомпьютерами, в значительной степени определяют эффективность

применения систем. Эти задачи условно делятся на формализуемые и неформализуемые. Повышение уровня эффективности решения задач обоих классов связано с применением высокопроизводительной вычислительной техники и нейросетевых технологий. Прикладные задачи для высокопроизводительных систем в значительной части используют нейросетевые технологии. К таким задачам относятся:

- задачи обработки сигналов и изображений, в том числе радиолокационных;
- задачи обеспечения информационной безопасности;
- задачи управления динамическими объектами и др.

Попытки придания системам интеллектуальных свойств наталкиваются на ограничения по вычислительной мощности используемых вычислительных средств и их массогабаритным характеристикам, защищенности и т. п.

Реализация мемристорных систем позволит в значительной степени в будущих гибридных суперЭВМ реализовать на отечественной элементной базе вычислительную оболочку, несущую основную вычислительную нагрузку. Для различных применений это в значительной степени увеличит защищенность вычислительной системы в целом; позволит в значительной степени повысить надежность вычислительных систем и улучшит тактико-технические характеристики техники, в которой они будут применяться.

### Тенденции развития нейрокомпьютеров

В монографии [20], опубликованной в 2015 г., представлены современные разработки нейрокомпьютеров и, в частности, отмечаются тенденции роста числа публикаций и числа исследователей в этой области (рис. 1).

Начиная с этапа развития разработок транзисторных систем в современных суперЭВМ реализованы два основных свойства: масштабируемость и двухслойность архитектур.

С нашей точки зрения, для перехода на экзафлопный уровень вычислений необходима реализа-

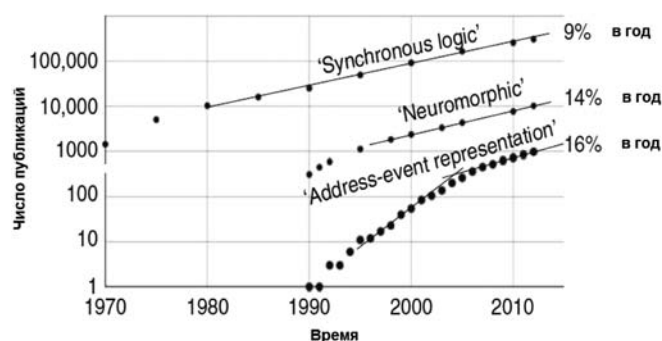


Рис. 1. Рост числа публикаций по теме нейроморфных вычислений ("Neuromorphic") во времени (из Google Scholar) [20]

ция по крайней мере еще одного шага — изменения логического базиса алгоритмов решения задач и, соответственно, элементной базы с переходом от носителя информации в электрических схемах в виде уровней токов и напряжений к носителю информации в виде узких импульсов, подобно тому, как это имеет место в реальной нервной системе.

Ниже перечислены основные проекты по созданию супернейрокомпьютеров за рубежом:

- BICA;
- Big Brain;
- BioRC;
- Blue Brain;
- Brain Initiative;
- BrainscaleS;
- Chist-Era Pneuma;
- Cog Ex-Machina;
- Connection;
- ERS Femmes project;
- ERS Nanobrain;
- Facets;
- FP7 Bion;
- FP7 Nabab;
- Human Brain;
- JFAT;
- MARBLE;
- MHANN;
- MONETA;
- Neu-Neu;
- NeutoDyn;
- Neurogrid;
- NTM 3;
- PEPS project ASME;
- SAND;
- SPAUN;
- SpiNNaker;
- Synapse;
- Проект Irvine Sensors;
- Проект Ливерморской лаборатории;
- Проект Института продвинутых архитектур (Сандиа, Оак Ридж);
- Проект Интел, центр суперкомпьютерных вычислений Сан-Диего, DARPA;
- Проект eLiza самоуправляемой автопомпой компьютерной системы (IBM);
- Проект нейроморфного компьютера с использованием мемристоров (Интел совместно с МТИ).

Один из таких проектов более детально представлен в работе [21]. Точка зрения российской научной школы в этой области представлена в работах [22, 23].

Необходимо отметить революционную роль мемристоров [1, 2] в формировании этапа перехода к экзафлопным вычислениям. Функциональные элементы, подобные мемристорам, были известны еще в 60-е годы прошлого столетия [17, 18], но не выдержали конкуренции с появившимися в начале 70-х годов микропроцессорами.

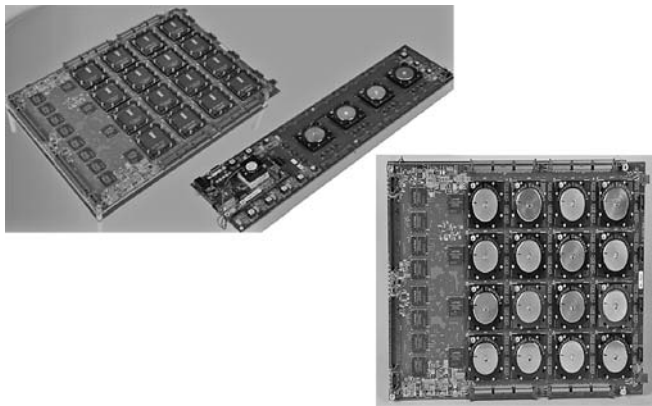


Рис. 2. Разработки фирмы IBM с использованием СБИС TrueNorth [24]

Сейчас мемристоры — детище нанотехнологий — эволюционное, гармоничное развитие вычислительной техники с реализацией следующих принципов:

- переход от классической фоннеймановской архитектуры к распределенной;
- возврат к аналоговой обработке;
- переход к представлению сигналов в виде последовательности узких импульсов;
- совмещение функций памяти и обработки информации;
- переход к нейроматематике — нейросетевым алгоритмам решения задач;
- переход к нейроуправлению — нейросетевым алгоритмам и системам управления сложными системами.

Наиболее передовой разработкой "домемристорной" эпохи, характеризующейся переходом в нейросетевой логический базис и переходом к представлению информации в виде последовательности узких импульсов, но реализованной в виде чисто цифровой СБИС, является разработка СБИС TrueNorth фирмы IBM [24]. Характерные особенности этой СБИС:

- 5,4 млрд транзисторов на чипе;
- 4096 нейросинаптических ядер;
- 1 млн программируемых импульсных нейронов;
- 256 млн настраиваемых синапсов;
- обработка  $400 \times 240$ -пиксельного видео, 30 кадров в секунду, с потреблением 63 мВт.

На рис. 2 представлен внешний вид разработок фирмы IBM с использованием СБИС TrueNorth. Планируются также изделия, содержащие 256, 1024 и 4096 СБИС TrueNorth с электропотреблением в 256, 1000 и 4000 Вт соответственно (последнее содержит 1 трлн синапсов, что составляет примерно 1 % числа синапсов в мозге человека).

### Реализация нейрона с применением мемристоров

В схемной реализации нейрона мемристоры выполняют функцию синапсов — перестраиваемых весовых коэффициентов. Возможно несколько вариантов применения мемристоров для этой цели.

В работе [21] представлен один из вариантов реализации синапса нейрона с применением мемристоров (рис. 3). Вариант принципиальной схемы многовходового нейрона представлен на рис. 4 [25]. На рис. 5, а представлена мостовая схема соединения мемристоров, обеспечивающая реализацию положительных и отрицательных значений весовых коэффициентов в нейронной сети [26], на рис. 5, б — схема синапса с мостом из мемристоров. В работе [27] на основе мостовой схемы приведена схема мемристорного нейрона с несколькими входами.

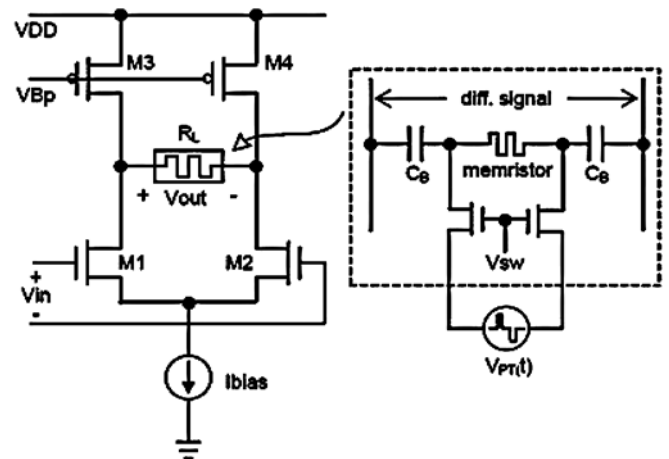


Рис. 3. Реализация синапса нейрона с применением мемристора [21]

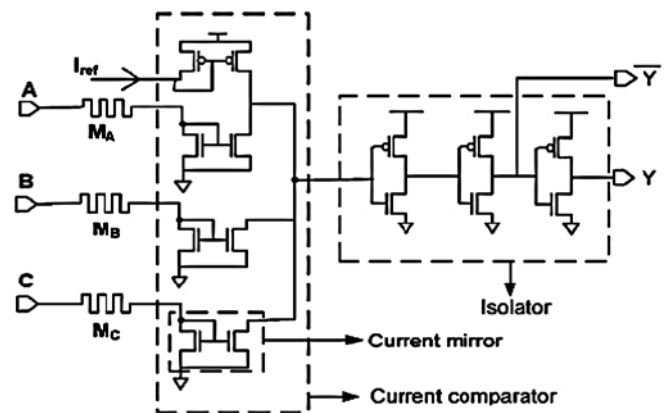


Рис. 4. Схема трехвходового нейрона с применением мемристоров [25]

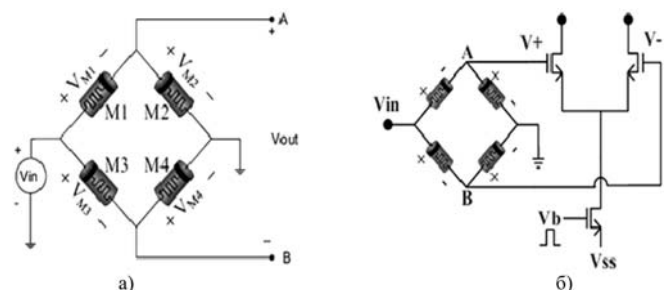


Рис. 5. Схема мемристорного моста (а); схема синапса с мостом из мемристоров (б) [26]

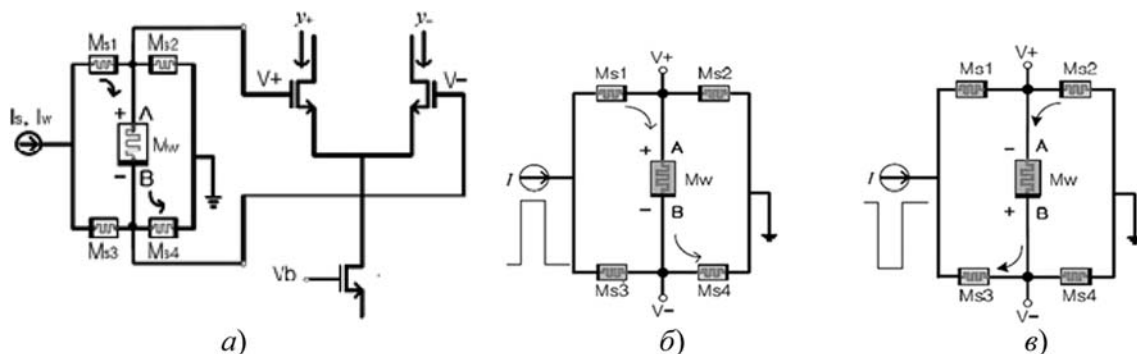


Рис. 6. Вариант реализации в синапсе с применением мемристоров [28] (а), схема изменения знака весового коэффициента в синапсе с применением мемристоров при положительной конфигурации (б) и отрицательная конфигурация (в)

В работе [28] представлен другой вариант соединения мемристоров в схеме синапса (рис. 6, а), а также предлагается схема изменения знака весового коэффициента в синапсе (рис. 6, б, в).

### Реализация нейронных сетей с применением мемристоров

Анализ публикаций 2008—2014 гг. показал, что попытки реализации нейронных сетей с применением мемристоров касаются в основном многослойных нейронных сетей следующих видов:

- с полными последовательными связями;
- с обратными связями (рекуррентные нейронные сети);
- клеточные нейронные сети, ориентированные на обработку изображений.

На рис. 7 представлена простейшая двухслойная нейронная сеть с применением мемристоров [26].

В работе [29] предложена (рис. 8) схема реализации весового коэффициента с мемристорами для клеточной нейронной сети. В работе [30] предложена схема применения мемристоров в клеточной нейронной сети CrossNet (рис. 9).

Разработка и реализация принципиальных схем нейронных сетей различных структур с применением мемристоров является предметом дальнейших исследований в ближайшие годы.

### Настройка нейронных сетей с применением мемристоров

С нашей точки зрения, работы по реализации алгоритмов настройки нейронных сетей с применением мемристоров имеют самый начальный характер и в основном касаются реализации простейших алгоритмов типа правила Хебба [31]. Ориентация мемристоров на реализацию нейронных сетей с очень большим числом нейронов и настраиваемых коэффициентов делает задачу разработки и реализации

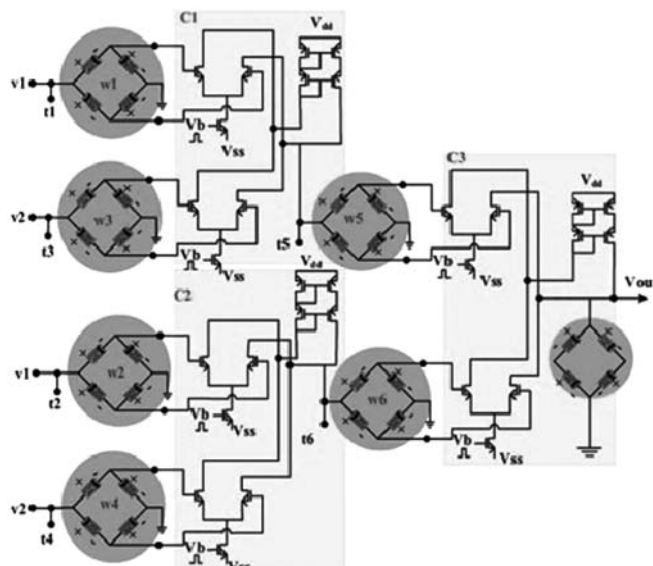


Рис. 7. Схемная реализация двухслойной нейронной сети с мемристорами [26]

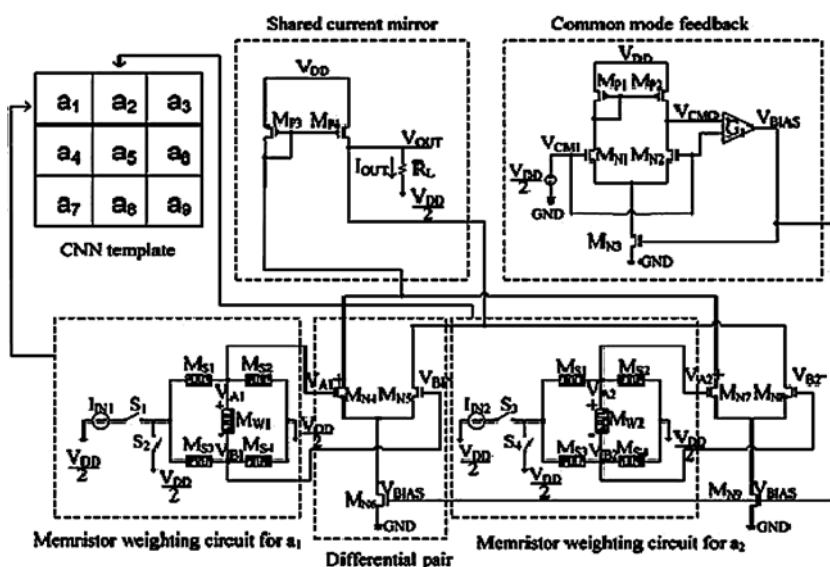


Рис. 8. Схема реализации весового коэффициента с мемристорами для клеточной нейронной сети [29]

алгоритмов настройки важной, сложной, в значительной степени определяемой архитектурой будущих вычислительных систем с применением мемристоров.

В работе [32] представлен аналитический подход к сравнению простейших алгоритмов настройки применительно к мемристорным системам. В [26] представлена схема обучения нейронной сети с при-

менением мемристоров с реализацией блока настройки на хост-ЭВМ (рис. 10, см. четвертую сторону обложки). Такая схема вряд ли жизнеспособна для реализаций с большим числом мемристоров.

Распараллеливание алгоритмов настройки и требование повышения быстродействия должны привести к внутрикристальной реализации алгоритмов обучения на цифровом и аналоговом уровнях.

### СБИС-нейрочины с применением мемристоров

Разработка СБИС-нейрочипов с применением мемристоров является одним из важнейших направлений работ в области создания перспективных нейрокомпьютеров. При этом анализ разработок аналоговых и аналого-цифровых нейрочипов должен касаться следующих разделов:

- аналоговые нейрочипы;
- аналого-цифровые нейрочипы;
- клеточные нейрочипы;
- нейрочипы с частотно-импульсным представлением сигналов;
- оптические и оптоэлектронные нейрочипы;
- молекулярные нейрочипы;
- специализированные аналоговые и аналого-цифровые нейрочипы (АЦП, СМАС, обработки изображений, нейроуправления, ассоциативной памяти, обработки речевой информации);
- др.

Типичным примером доемристорной разработки цифровых нейрочипов с частотно-импульсной модуляцией сигналов является схема, представленная на рис. 11 [33]. Необходимо отметить несколько попыток реализации СБИС-нейрочипов с применением мемристоров (цифровых и аналого-цифровых) [34–36] (рис. 12, см. четвертую сторону обложки, 13, 14).

Особое внимание нужно обратить на разработку нейрочипа с применением трехтерминального ферроэлектрического мемристора [37] (рис. 15), в значительной степени идеологически повторяющего разработки мемристоров 60-х годов прошлого века [16, 17].

### Прикладные задачи

Любое новое технологическое направление микроэлектроники обречено на гибель, если не будет ориентировано на достаточно массовое производство некоторых элементов. Для мемристоров рынками таких элементов являются

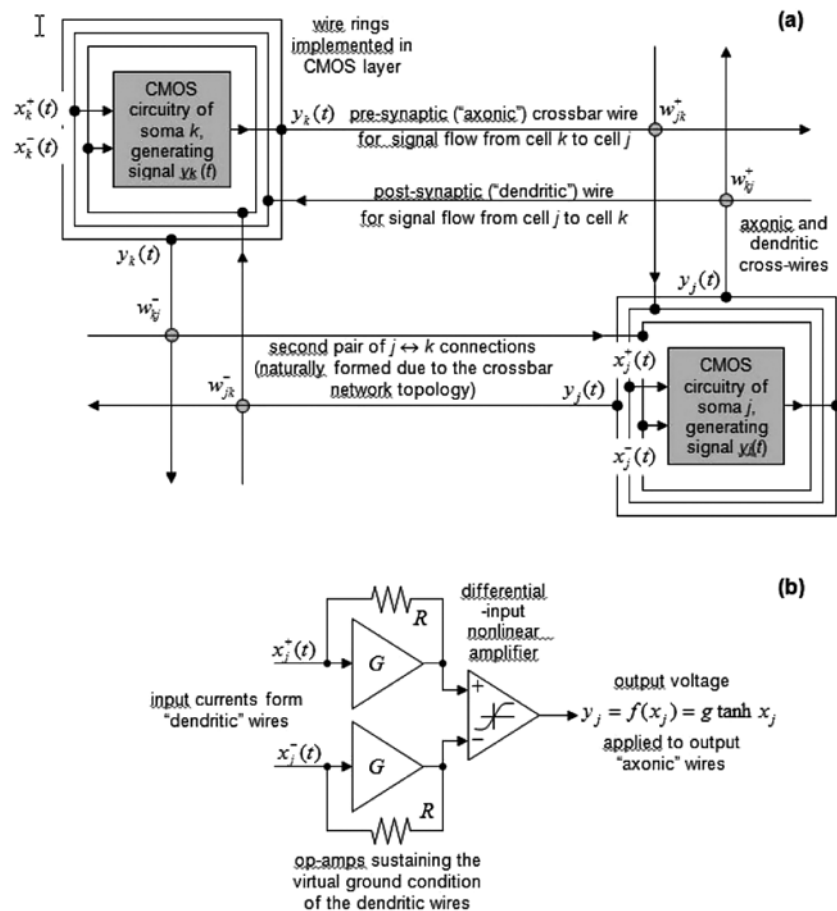


Рис. 9. Связь между одной парой клеток в сети CrossNet [30]

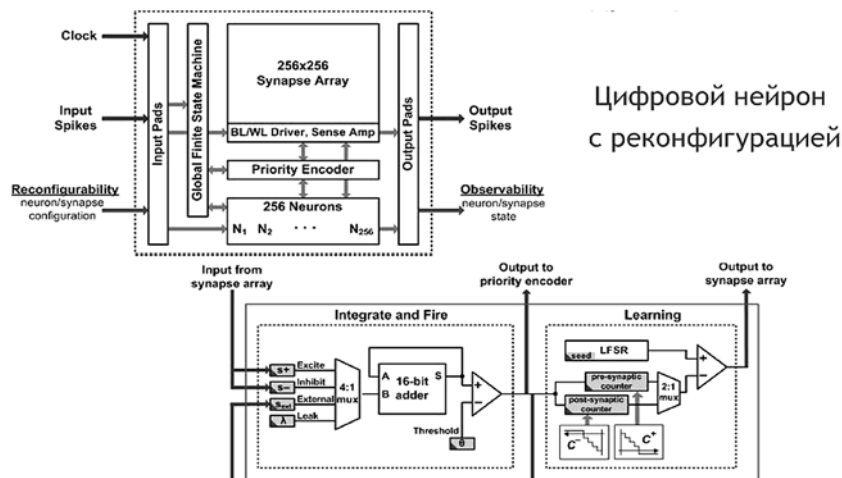


Рис. 11. Пример доемристорных разработок цифровых нейрочипов с частотно-импульсной модуляцией сигналов [33]

перспективные системы памяти и коммутационные системы, в том числе коммутационные системы внутри современных и перспективных ПЛИС.

Большие нейронные сети — главная задача реализации нейрокомпьютеров с применением мемристоров. Как следствие — выбор для решения на мемристорных системах следующих сложных задач:

- обнаружение атак на информационные ресурсы в больших распределенных вычислительных сетях;
- нейрокриптография;
- уравнения математической физики, включая генерацию адаптивных сеток;
- обработка видеоизображений и медиаинформации (проблема big data);
- создание 3D-моделей мозга;
- управление плазмой;
- обработка геномной и протеомной информации;
- любые другие применения нейрокомпьютеров, где необходимо увеличить отношение производительности к стоимости или энергопотреблению.

### Заключение

Всю историю развития вычислительной техники сопровождают работы по эмуляции алгоритмов при реализации искусственного интеллекта, принятии решений и нейронных сетей.

Идеология построения нейрокомпьютеров менялась слабо, менялись и развивались технологии реализации.

Российский опыт работ в области нейросетевых технологий и их применений обобщен в монографии [38], где проанализированы российские монографии, кандидатские и докторские диссертации, научно-технические отчеты и научные труды, вышедшие между 1982 и 2010 гг.

Несмотря на то что вычислительная техника за весь большой период существования и развития всегда использовалась для реализации мыслительных функций, только в период 2007—2009 гг. и далее появились работы, в которых показано, что даже самые современные суперЭВМ типа Blue Gene, Fujitsu-K и др. еще крайне недостаточны по производительности для моделирования разделов мозга в реальном времени. Моделирование объемом 50 млрд нейронов (ориентировочно 1/100 реального мозга) с попыткой реализации работы в реальном времени в те-

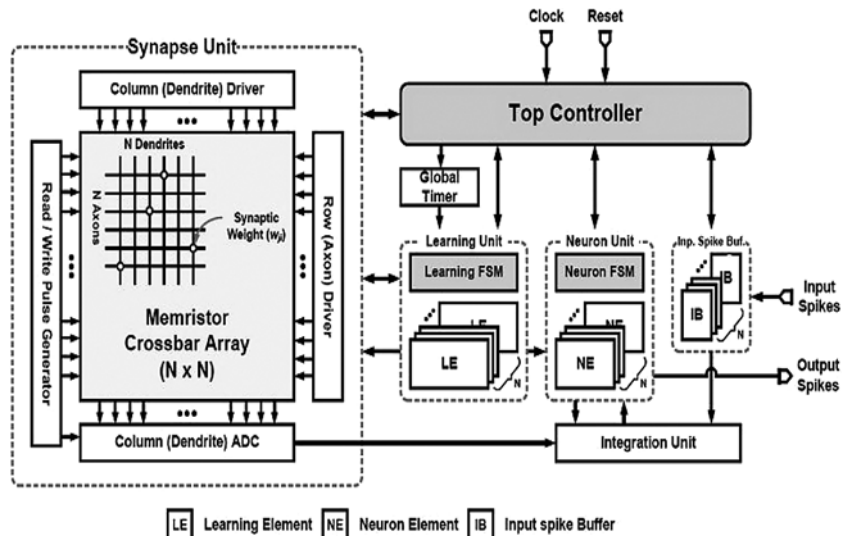


Рис. 13. Вариант архитектуры цифрового нейрочипа с применением мемристоров [35]

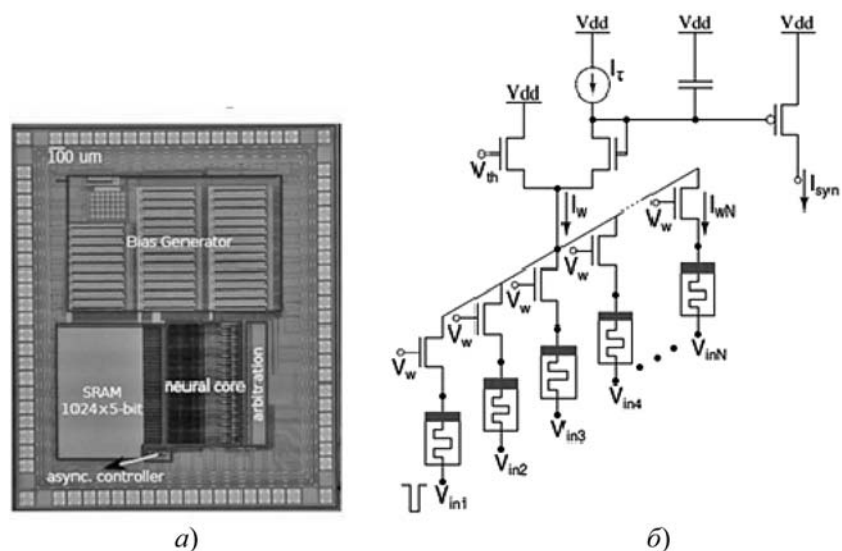


Рис. 14. Аналого-цифровой нейрочип с применением мемристоров [36]: а — микрофотография нейрочипа; б — схема синапса

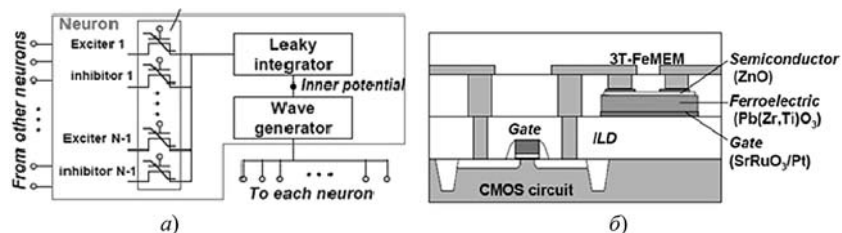


Рис. 15. Нейрочип с применением трехтерминального ферроэлектрического мемристора [37]: а — схема нейрона; б — интеграция 3Т-FeMeМ и CMOS

чение 1 с на суперЭВМ Fujitsu-K заняло около 40 мин при использовании открытого программного обеспечения NEST (NEural Simulation Technology). Эти исследования показывают, как далека современная технология (и думаем, что даже перспективная на ближайшее время) от технологии realiza-

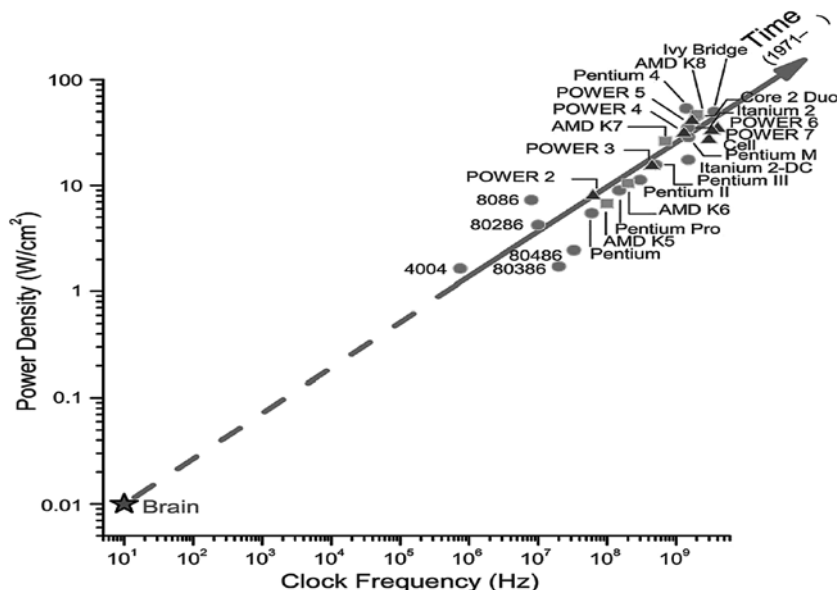


Рис. 16. Тенденции развития современной микроэлектроники классической архитектуры в пространстве [потребляемая мощность — частота работы] [24]

ции аналогов реального живого мозга и как далеки мы от настоящего, глубокого понимания принципов работы живого мозга, которые мы сможем использовать при построении искусственных систем. Более того, на рис. 16 приведена схема [24], показывающая тенденции развития современной микроэлектроники классической архитектуры в пространстве [потребляемая мощность — частота работы].

Мемристоры — это очередной этап эволюционного, гармоничного развития вычислительной техники, в котором за несколько предыдущих десятилетий проведена фундаментальная подготовка к построению высокопроизводительных вычислительных систем, реализующих следующие принципы:

- переход от классической фоннеймановской архитектуры к распределенной;
- возврат в части реализации алгоритмов решения задач к аналоговой обработке в целях увеличения быстродействия при контролируемой точности;
- переход от представления сигналов в виде уровней токов и напряжений к представлению сигналов в виде частоты последовательности узких импульсов;
- переход к архитектурам, в которых функции памяти и обработки хотя бы частично совмещены в отличие от классических ЭВМ с полностью распределенными функциями памяти и обработки;
- переход к нейроматематике — нейросетевым алгоритмам решения задач;
- переход к нейроуправлению — нейросетевым алгоритмам и системам управления сложными динамическими объектами.

Российская научная школа обладает необходимым потенциалом для реализации такой амбици-

озной задачи, как создание нейрокомпьютера на базе мемристоров. Многие коллективы уже ведут практические исследования и организационную работу для решения такой задачи. Нужно также отметить, что вузы (например, МФТИ, ВШЭ и ряд других) уже сейчас предлагают студентам курсовые, дипломные работы в этой области, таким образом готовя будущих ученых и инженеров в этой области.

#### Список литературы

1. Киви Б. К точке критического перехода // 3D-News (Daily Digital Digest). 29.05.2013.
2. McKenzie A. et al. Toward Exascale Computing through Neuromorphic Approaches // Sandia Report, Sand 2010 — 6312. September 2010.
3. Галушкин А. И. Стратегия развития современных супернейрокомпьютеров на пути к экзафлопным вычислениям // Приложение к журналу "Информационные технологии", 2012. № 2. 32 с.
4. Галушкин А. И. Многослойные системы распознавания образов. М.: Изд. МИЭМ, 1970. 168 с.
5. Галушкин А. И. Синтез многослойных систем распознавания образов. М.: Энергия, 1974. 367 с.
6. Омату С., Халид М., Юсоф Р. Нейроуправление и его приложения. 2-е изд. М.: ИПРЖР, 2000. 272 с.
7. Галушкин А. И., Цыпкин Я. З. Нейронные сети: история развития теории. Кн. 5. Сер. "Нейрокомпьютеры и их применение". М.: Радиотехника, 2001. 840 с.
8. Галушкин А. И. Теория нейронных сетей. Пекин: Изд-во университета Синьхуа (на китайском языке), 2003. 294 с.
9. Galushkin A. I. Neural Network Theory. NY: Springer, 2007. 416 p.
10. Галушкин А. И. Нейронные сети: основы теории. М.: Горячая линия — Телеком, 2010. 496 с.
11. Нейроматематика. Кн. 6. Сер. "Нейрокомпьютеры и их применение". М.: Радиотехника, 2002. 448 с.
12. Галушкин А. И. Нейроматематика (проблемы развития) // Нейрокомпьютер, 2003. № 1. С. 1—40.
13. Галушкин А. И. О методике решения задач в нейросетевом логическом базисе // Приложение к журналу "Информационные технологии". 2006. № 9. 24 с.
14. Терехов В. А., Ефимов Д. В., Тюкин И. Ю. Нейросетевые системы управления. Кн. 8. Сер. "Нейрокомпьютеры и их применение". М.: Радиотехника, 2004. 480 с.
15. Галушкин А. И. Основы нейроуправления // Приложение к журналу "Информационные технологии". 2002. № 10. 24 с.
16. Аналоговые запоминающие и адаптивные элементы / Под ред. Б. С. Сотскова. М.: Энергия, 1973, 260 с.
17. Трейер В. В., Елизаров А. Б. Электрохимические интегрирующие и аналоговые запоминающие элементы. М.: Энергия, 1973. 96 с.
18. Галушкин А. И. Нейрокомпьютеры. Кн. 1. Сер. "Нейрокомпьютеры и их применение". М.: Радиотехника, 2000, 528 с.
19. Аляутдинов М. А., Казанцев П. А., Галушкин А. И., Остапенко Г. П. Нейрокомпьютеры: от программной к аппаратной реализации. М.: Горячая линия — Телеком, 2006, 152 с.
20. Event-Based Neuromorphic Systems (Eds by Shih-Chii Liu, Tobi Delbruck, Giacomo Indiveri, Adrian Whatley, Rodney Douglas). UK: Wiley, 2015. 440 p.
21. Shin S., Kim K., Kang S. M. Memristors and Their Applications for Nanocomputing // IEEE Trans. on Nanotechnology, Mar. 2011.
22. Алюшин А. В., Галушкин А. И., Завалин Ю. В., Занавескин М. Л., Немудров В. Г., Паптюхин Д. В. Суперкомпьютеры с использованием мемристоров // Суперкомпьютеры. 2014. № 3. С. 48—49.

23. **Галушкин А. И.** Мемристоры в развитии высокопроизводительной вычислительной техники // Информационные технологии. 2015. № 2. С. 146—156.

24. **Merolla P. A.** et al. A million spiking-neuron integrated circuit with a scalable communication network and interface // Science, August 2014. N. 345, Iss. 6197. P. 668.

25. **Manem H., Rajendran J., Rose G. S.** Stochastic Gradient Descent Inspired Training Technique for a CMOS/Nano Memristive Trainable Threshold Gate Array // IEEE Transactions on Circuits and Systems — I: Regular Papers. 2012. Vol. 59, N. 5. P. 1051—1060.

26. **Adhikari S. P., Changju Y., Hyongsuk K., Chua, L. O.** Memristor Bridge Synapse-Based Neural Network and its Learning // IEEE Transactions on Neural Networks and Learning Systems. 2012. Vol. 23, N. 9. P. 1426—1435.

27. **Sah M. P., Yang C., Budhathoki R. K., Kim H.** Features of memristor emulator-based artificial neural synapses // IEEE International Symposium Circuits and Systems (ISCAS). 19—23 May 2013, Beijing, 2013. P. 421—424.

28. **Sah M. P., Yang C., Kim H., Chua L. O.** Memristor Circuit for Artificial Synaptic Weighting of Pulse Inputs // IEEE International Symposium Circuits and Systems (ISCAS), 20—23 May 2012, Seoul, Korea (South). 2012. P. 1604—1607.

29. **Kim Y.-S., Min K.-S.** Synaptic weighting circuits for Cellular Neural Networks // 13th International Workshop Cellular Nanoscale Networks and Their Applications (CNNA), 29—31 Aug. 2012. P. 1—6

30. **Walls T. J., Likharev K. K.** Self-Organization in Autonomous, Recurrent, Firing-Rate CrossNets With Quasi-Hebbian Plasticity // IEEE Transactions on Neural Networks and Learning Systems. 2014. Vol. 25, N. 4. P. 819—824.

31. **Hebb D. O.** The organization of Behavior: A Neuropsychological Theory New York: Wiley, 1949. 335 p.

32. **Gorchetnikov A., Versace M., Ames H., Chandler B., Leveille J., Livitz G., Mingolla E., Snider G., Amerson R., Carter D., Abdalla H., Qureshi M. S.** Review and unification of learning framework in Cog Ex Machina platform for memristive neuromorphic hardware // Proceedings of International Joint Conference on Neural Networks, San Jose, California, USA, July 31 — August 5. 2011. P. 2601—2608.

33. **Seo J.-S., Brezzo B., Yong L., Parker B. D., Esser S. K., Montoyo R. K., Rajendran B., Tierno J. A., Chang L., Modha D. S., Friedman D. J.** A 45 nm CMOS neuromorphic chip with a scalable architecture for learning in networks of spiking neurons // IEEE Custom Integrated Circuits Conference (CICC), 2011. P. 1—4.

34. **Serrano-Gotarredona T., Prodromakis T., Linares-Barranco B.** A Proposal for Hybrid Memristor-CMOS Spiking Neuromorphic Learning Systems // IEEE Circuits and Systems Magazine. 2013. Vol. 13, Iss. 2. P. 74—88.

35. **Kim Y., Zhang Y., Li P.** A digital neuromorphic VLSI architecture with memristor crossbar synaptic array for machine learning // 2012 IEEE International SOC Conference (SOCC). 2012. P. 328—333.

36. **Azghadi M. R., Moradi S., Indiveri G.** Programmable neuromorphic circuits for spike-based neural dynamics // 2013 IEEE 11th International New Circuits and Systems Conference (NEWCAS). 2013. P. 1—4.

37. **Kaneko Y., Nishitani Yu., Ueda M., Tsujimura A.** Neural network based on a three-terminal ferroelectric memristor to enable on-chip pattern recognition // Symposium VLSI Technology (VLSIT). 2013. P. T238—T239.

38. **Галушкин А. И., Симоров С. Н.** Нейросетевые технологии в России (1982—2010 г.). М.: Горячая линия — Телеком, 2011. 316 с.

**A. I. Galushkin**, Prof., Deputy Head of Chair of the Moscow Institute of Physics and Technology, Dolgoprudny, neurocomputer@yandex.ru, Prof. of High School of Economics, agalushkin@hse.ru,

**D. V. Pantiukhin**, Senior Lecturer of High School of Economics, dpantiukhin@hse.ru, Lecturer of Chair of the Moscow Institute of Physics and Technology, Dolgoprudny, dim\_beavis@mail.ru

## Supercomputers and Memristors

*The article describes the authors' opinion about the perspectives of development of one area of supercomputers — neurocomputers — with the advent of memristors. These perspectives are determined by ultra-high parallelism in connection with the transition to the neural network logical basis, the sharp decline in energy consumption in connection with the transition to the presentation of information in the form of a frequency sequence of narrow pulses, the transition to an analog implementation of the algorithms with a sharp increase in speed. Examples of such development of neurochips and neurosystems from recent years are described.*

*Due to developments in neural network theory, neuromathematics and neurocontrol, micro- and nanoelectronics and parallel hardware, it is possible today to change VonNeuman computing paradigm to neural network one. Neurocomputers with memristor will be important step to exascale computing.*

*This article show historical and today progress in neurocomputing area in a world and some projects of neurocomputers with memristors, including DARPA Neural network Study Projects, IBM TrueNorth neurochip and many approaches to memristor-based neural networks.*

*Authors postulate that major applications of such memristor-based neurocomputers will be:*

- information security (intrusion, viruses and spam detection),
- (neuro-) cryptography tasks,
- mathematical physics tasks including adaptive computing mesh generation,
- image and 3D objects processing (detection, classification, clustering and oth.),
- brain modelling,
- and others applications.

*It is also discussed about neurocomputing problem in Russia.*

*Authors hope that this article will stimulate discussion about such difficult problem as neurocomputers with memristor within Russia and abroad.*

**Keywords:** neurocomputer, neurochip, memristor, exaflop computing



## References

1. **Kivi B. K.** tochke kriticheskogo perekhoda (Toward critical point). *3D-News* (Daily Digital Digest). 29.05.2013.
2. **McKenzie A.** et al. Toward Exascale Computing through Neuromorphic Approaches. *Sandia Report*, Sand 2010 — 6312. September 2010.
3. **Galushkin A. I.** Strategiya razvitiya sovremennykh superneyrokomp'yutеров na puti k ekzaflopnykh vychisleniyam (Strategy of development modern superneurocomputers toward exaflop computing), *Prilozheniye k zhurnalu "Informatsionnyye tekhnologii"* (Appendix to journal "Information technology"), 2012, no. 2, 32 p. (in Russian).
4. **Galushkin A. I.** *Mnogosloynnye sistemy raspoznavaniya obrazov* (Multilayer systems for pattern recognition). Moscow: MIJeM, 1970, 168 p. (in Russian).
5. **Galushkin A. I.** *Sintez mnogosloynnykh sistem raspoznavaniya obrazov* (Synthesis of multilayer systems for pattern recognition). Moscow: Energy, 1974. 367 p. (in Russian).
6. **Omatu S., Khalid M., Yusof R.** *Neyroupravleniye i yego prilozheniya* (Neurocontrol and its applications). Moscow: IPRZHR, 2000, 272 p. (in Russian).
7. **Galushkin A. I., Tsyppin Ja. Z.** *Neyronnyye seti: istoriya razvitiya teorii. Kn. 5. Ser. "Neyrokomp'yutery i ikh primeneniye"* (Neural networks: history of theory evolution. Book 5. Ser. "Neurocomputers and their application"), Moscow: Radiotekhnika, 2001, 840 p. (in Russian).
8. **Galushkin A. I.** *Teoriya neyronnykh setey* (Theory on neural networks). Beijing: Sinhua Univ., 2003, 294 p. (in Chinese).
9. **Galushkin A. I.** *Neural Network Theory*. NY: Springer, 2007. 416 p.
10. **Galushkin A. I.** *Neyronnyye seti: osnovy teorii* (Neural networks: theory basics). Moscow: Goryachaya liniya — Telekom (Hotline — Telekom), 2010. 496 p. (in Russian).
11. **Neyromatematika. Kn. 6. Ser. "Neyrokomp'yutery i ikh primeneniye" (Neuromathematics. Book 6. Ser. "Neurocomputers and their application"). Moscow: Radiotekhnika, 2002. 448 p. (in Russian).**
12. **Galushkin A. I.** *Neyromatematika (problemy razvitiya)* (Neuromathematics (problems of evolution)) // Moscow: Neurocomputer, 2003. No. 1, pp. 1—40. (in Russian).
13. **Galushkin A. I.** O metodike resheniya zadach v neyrosetevom logicheskom bazise (About methodology of task solution in neural network logical basis), *Prilozheniye k zhurnalu "Informatsionnyye tekhnologii"* (Appendix to journal "Information technology"), 2006, no. 9, 24 p. (in Russian).
14. **Terekhov V. A., Efimov D. V., Tyukin I. Yu.** *Neyrosetevyye sistemy upravleniya. Kn. 8. Ser. "Neyrokomp'yutery i ikh primeneniye"* (Neural control systems. Book 8. Ser. "Neurocomputers and their application"). Moscow: Radiotekhnika, 2004. 480 p. (in Russian).
15. **Galushkin A. I.** Osnovy neyroupravleniya (Basics of neurocontrol), *Prilozheniye k zhurnalu "Informatsionnyye tekhnologii"* (Appendix to journal "Information technology"). 2002, no. 10, 24 p. (in Russian).
16. **Analogovyye zapominayushchiye i adaptivnyye elementy** (Analogous memorizing and adaptive elements). (Ed by B.S. Sotskov) Moscow: Energy, 1973. 260 p. (in Russian).
17. **Trejter V. V., Elizarov A. B.** *Elektrokhimicheskiye integriruyushchiye analogovyye zapominayushchiye elementy* (Electrochemical integral and analogous memorizing elements). Moscow: Energy, 1973. 96 p. (in Russian).
18. **Galushkin A. I.** *Neyrokomp'yutery. Kn. 1. Ser. "Neyrokomp'yutery i ikh primeneniye"* (Neurocomputers. Book 1. Ser. "Neurocomputers and their application"). Moscow: Radiotekhnika, 2000, 528 p. (in Russian).
19. **Alyautdinov M. A., Kazantsev P. A., Galushkin A. I., Ostapenko G. P.** *Neyrokomp'yutery: ot programmnoy k apparatnoy realizatsii* (Neurocomputers: from software to hardware realization). Moscow: Goryachaya liniya — Telekom (Hotline — Telekom), 2006. 152 p. (in Russian).
20. **Event-Based Neuromorphic Systems** (Eds by Shih-Chii Liu, Tobi Delbruck, Giacomo Indiveri, Adrian Whatley, Rodney Douglas). UK: Wiley, 2015. 440 p.
21. **Shin S., Kim K., Kang S. M.** Memristors and Their Applications for Nanocomputing, *IEEE Trans. on Nanotechnology*, Mar. 2011.
22. **Aljushin A. V., Galushkin A. I., Zavalin Ju. V., Zhanavskiy M. L., Nemudrov V. G., Pantiukhin D. V.** Superkomp'yutery s ispolzovaniyem memristorov (Supercomputers with memristors), *Moscow: Supercomputers*, 2014, no. 3, pp. 48—49 (in Russian).
23. **Galushkin A. I.** Memristory v razvitiy vysokoproizvoditelnoy vychislitelnoy tekhniki (Memristors in development of high performance computers), *Moscow: Informatsionnyye tekhnologii* (Information technology), 2015, no. 2, pp. 146—156 (in Russian).
24. **Merolla P. A.** et al. A million spiking-neuron integrated circuit with a scalable communication network and interface. *Science*, August 2014, no. 345, Iss. 6197, pp. 668.
25. **Manem H., Rajendran J., Rose G. S.** Stochastic Gradient Descent Inspired Training Technique for a CMOS/Nano Memristive Trainable Threshold Gate Array, *IEEE Transactions on Circuits and Systems — I: Regular Papers*, 2012, vol. 59, no. 5, pp. 1051—1060.
26. **Adhikari S. P., Changju Y., Hyongsuk K., Chua L. O.** Memristor Bridge Synapse-Based Neural Network and its Learning, *IEEE Transactions on Neural Networks and Learning Systems*, 2012, vol. 23, no. 9, pp. 1426—1435.
27. **Sah M. P., Yang C., Budhathoki R. K., Kim H.** Features of memristor emulator-based artificial neural synapses, *IEEE International Symposium Circuits and System (ISCAS)*, 19—23 May 2013, Beijing, 2013, pp. 421—424.
28. **Sah M. P., Yang C., Kim H., Chua L. O.** Memristor Circuit for Artificial Synaptic Weighting of Pulse Inputs, *IEEE International Symposium Circuits and Systems (ISCAS)*, 20—23 May 2012, Seoul, Korea (South), 2012, pp. 1604—1607.
29. **Kim Y.-S., Min K.-S.** Synaptic weighting circuits for Cellular Neural Networks, *13th International Workshop Cellular Nanoscale Networks and Their Applications (CNNA)*, 29—31 Aug. 2012, pp. 1—6.
30. **Walls T. J., Likharev K. K.** Self-Organization in Autonomous, Recurrent, Firing-Rate CrossNets With Quasi-Hebbian Plasticity, *IEEE Transactions on Neural Networks and Learning Systems*, 2014, vol. 25, no. 4, pp. 819—824.
31. **Hebb D. O.** *The organization of Behavior: A Neuropsychological Theory*. New York: Wiley, 1949, 335 p.
32. **Gorchetchnikov A., Versace M., Ames H., Chandler B., Leveille J., Livitz G., Mingolla E., Snider G., Amerson R., Carter D., Abdalla H., Qureshi M. S.** Review and unification of learning framework in Cog Ex Machina platform for memristive neuromorphic hardware, *Proceedings of International Joint Conference on Neural Networks, San Jose, California, USA, July 31—August 5, 2011*, pp. 2601—2608.
33. **Seo J.-S., Brezzo B., Yong L., Parker B. D., Esser S. K., Montoye R. K., Rajendran B., Tierno J. A., Chang L., Modha D. S., Friedman D. J.** A 45nm CMOS neuromorphic chip with a scalable architecture for learning in networks of spiking neurons, *IEEE Custom Integrated Circuits Conference (CICC)*, 2011, pp. 1—4.
34. **Serrano-Cotarredona T., Prodromakis T., Linares-Barranco B.** A Proposal for Hybrid Memristor-CMOS Spiking Neuromorphic Learning Systems, *IEEE Circuits and Systems Magazine*, 2013, vol. 13, Iss. 2, pp. 74—88.
35. **Kim Y., Zhang Y., Li P.** A digital neuromorphic VLSI architecture with memristor crossbar synaptic array for machine learning 2012, *IEEE International SOC Conference (SOCC)*, 2012, pp. 328—333.
36. **Azghadi M. R., Moradi S., Indiveri G.** Programmable neuromorphic circuits for spike-based neural dynamics, 2013, *IEEE 11th International New Circuits and Systems Conference (NEWCAS)*, 2013, pp. 1—4.
37. **Kaneko Y., Nishitani Yu., Ueda M., Tsujimura A.** Neural network based on a three-terminal ferroelectric memristor to enable on-chip pattern recognition, *Symposium VLSI Technology (VLSIT)*, 2013, pp. T238—T239.
38. **Galushkin A. I., Simorov S. N.** *Neyrosetevyye tekhnologii v Rossii (1982—2010 g.)* (Neural network technology in Russia (1982—2010)). Moscow: Goryachayaliniya — Telekom (Hotline — Telekom), 2011, 316 p. (in Russian).