

# СИСТЕМЫ АВТОМАТИЗИРОВАННОГО ПРОЕКТИРОВАНИЯ CAD-SYSTEMS

УДК 004.272.2

**Р. А. Соловьев**, канд. техн. наук, нач. отдела, e-mail: ZF-Turbo@yandex.ru,  
**Д. В. Тельпухов**, канд. техн. наук, науч. сотр., **В. С. Рухлов**, аспирант, мл. науч. сотр.,  
**П. С. Поперечный**, аспирант  
Институт проблем проектирования в микроэлектронике РАН

## Особенности проектирования модулярных многовходовых сумматоров с помощью современных САПР

*Исследуются различные методы и подходы к проектированию многовходовых сумматоров по модулю, которые используются в задачах цифровой обработки сигналов и требуют максимальной производительности. Показано, что использование предлагаемых подходов позволяет достичь уменьшения критического пути на 33 % либо уменьшения занимаемой площади до 65 % в сравнении с использованием позиционных сумматоров. На основе сравнения характеристик различных реализаций мультиоперандных сумматоров, синтезированных в базе ПЛИС и заказных СБИС, был выявлен наиболее эффективный метод построения многовходовых модулярных сумматоров.*

**Ключевые слова:** система остаточных классов, многовходовый сумматор, ПЛИС, СБИС

### Введение

Зачастую при реализации устройств цифровой обработки сигналов, таких, например, как фильтр с конечной импульсной характеристикой (КИХ-фильтр) [1], появляется потребность в использовании многовходовых сумматоров. При проектировании модулярных вычислительных структур, соответственно, требуются модулярные многовходовые сумматоры (ММС). Двухвходовые модулярные сумматоры на данный момент подробно изучены [2]. Если для позиционных устройств современные системы автоматизированного проектирования (САПР) сами строят наиболее эффективные реализации, то для модулярных устройств требуется оценить, какая из множеств возможных реализаций является наиболее эффективной на практике. Этот факт является определяющим при разработке устройств, для которых требуется максимально высокая производительность.

В данной работе были исследованы четыре наиболее перспективных метода построения ММС. Для оценки их эффективности в двух технологических базисах (САПР Quartus II для ПЛИС Altera и Synopsys Design Compiler для заказных СБИС) были синтезированы сумматоры с различным числом входов. Приведены результаты синтеза и проведено сравнение с позиционными многовходовыми сумматорами большой разрядности.

Данная статья имеет следующую структуру. Сначала приводится информация о двухвходовых модулярных сумматорах и принципах их реализации. Далее предлагаются четыре метода для реали-

зации ММС. Приводятся детали экспериментов на ПЛИС и СБИС, а также графики и таблицы с результатами синтеза для разработанных схем. И наконец, в заключении делается вывод, какой именно тип ММС наиболее эффективен на практике с точки зрения быстроедействия и аппаратных затрат.

### 1. Модулярные сумматоры двух переменных

Модулярные сумматоры от двух переменных имеют простейшую структуру и наиболее эффективно строятся на базе обычных позиционных сумматоров с коррекцией выхода, если значение суммы превзошло или равно значению модуля. Типовой пример на языке проектирования аппаратуры Verilog можно записать так:

```
module sum2_mod_7 (in1, in2, out);
    input [2:0] in1;
    input [2:0] in2;
    output reg [2:0] out;
    wire [3:0] w;
    assign w = in1 + in2;
    always @ (*)
    begin
        if(w < 7)
            out <= w;
        else
            out <= w - 7;
    end
endmodule
```

Существуют также полностью комбинационные реализации [3] и оптимизированные реализации сумматоров для специальных модулей вида  $2^n - 1$ ,  $2^n$ ,  $2^n + 1$  [4]. В данной статье это не является ключевым вопросом и можно выбрать любую реализацию двухвходового модулярного сумматора, которая наиболее эффективна для данной технологии. Многовходовые сумматоры, которые описаны ниже, строятся на базе двухвходовых.

### Многвходовые модулярные сумматоры

Теперь подробнее рассмотрим методы построения модулярных сумматоров большого числа слагаемых с помощью двухвходовых модулярных сумматоров, описанных выше.

**Модулярный пирамидальный сумматор.** Модулярный пирамидальный сумматор является ступенчатой пирамидальной структурой из двухвходовых сумматоров по основанию выбранного заранее простого числа. Для  $n$ -входового ММС первый уровень будет состоять из  $n/2$  сумматоров. На следующем уровне число двухвходовых модульных сумматоров вдвое меньше, чем на первом, так как его входами являются выходы сумматоров из первого уровня и т. д., пока не останется один выход. Пирамидальный сумматор на восемь входов по модулю  $p$  может быть описан следующей формулой:  $S = \|(A + B)_p + (C + D)_p\|_p + \|(E + F)_p + (G + H)_p\|_p$ . Здесь и в дальнейшем мы будем пользоваться свойством операции модуля, которое позволяет вносить знак модуля в арифметические выражения [5]:

$$|x \cdot y|_p = |x|_p \cdot |y|_p.$$

Схема пирамидального сумматора на восемь входов по модулю  $p$  представлена на рис. 1.

**Модулярный сумматор с коррекцией на выходе.** Модулярный сумматор с коррекцией на выходе построен на базе позиционного многвходового

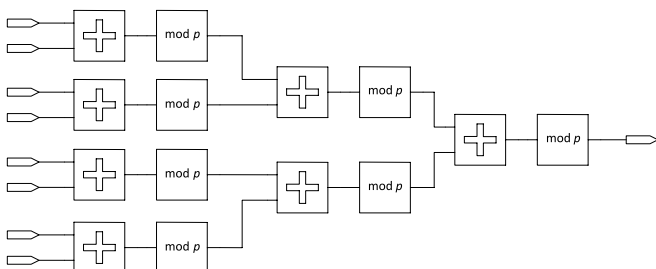


Рис. 1. Модулярный пирамидальный сумматор на восемь входов

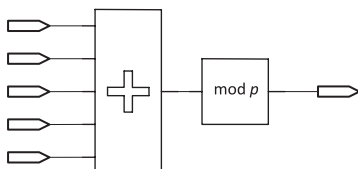


Рис. 2. Модулярный сумматор на пять входов с коррекцией на выходе

сумматора (рис. 2). Все слагаемые суммируются в позиционном виде, а приведение к необходимому основанию проводится на последнем этапе вычислений, благодаря эффективным методам нахождения остатка целочисленного деления [6]. Таким образом, максимально эффективно используются все возможности САПР по оптимизации позиционных структур. Математически такой вид модулярного сумматора можно описать следующей формулой:

$$S = |A + B + C + D + E|_p.$$

**Модулярный последовательный сумматор.** Модулярный последовательный сумматор представляет собой традиционную последовательную структуру из двухвходовых модулярных сумматоров, расположенных друг за другом (рис. 3). Здесь данные с двух входов суммируются на модулярном сумматоре, после чего к результату прибавляются данные со следующего входа с последующим преобразованием к модулярному виду и т. д. Последовательный модулярный четырехвходовый сумматор может быть описан следующей формулой:

$$S = \|(A + B)_p + C\|_p + D\|_p.$$

**Модулярный сумматор с промежуточной коррекцией.** Данный метод развивает идею метода с коррекцией на выходе и является его обобщением, позволяя приводить к заданному модулю не только в конце вычислений, но также и в промежуточных точках мультиоперандного сумматора. Крайними случаями данного метода являются пирамидальный модулярный сумматор, где модуль берется после каждого двоичного сумматора, а также сумматор с коррекцией на выходе, где только финальный результат позиционного суммирования корректируется по модулю (рис. 4).

Следует отметить, что для данного метода возможно большое число конфигураций с точки зре-

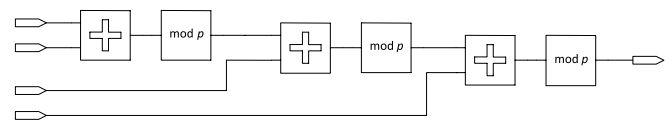


Рис. 3. Модулярный последовательный сумматор на четыре входа

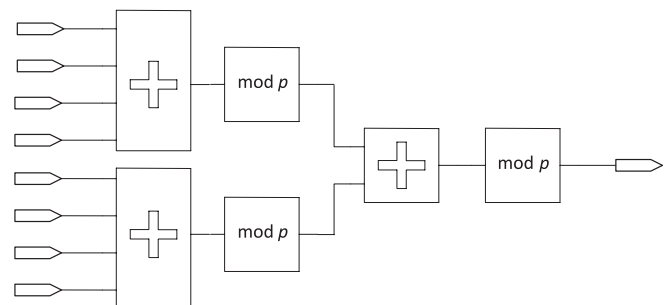


Рис. 4. Модулярный сумматор с промежуточной коррекцией (восемь входов, максимальное число элементов в позиционном сумматоре четыре)

ния количества и расположения промежуточных прямых преобразователей в вычислительном тракте мультиоперандного сумматора.

### Схема эксперимента

Для оценки временных и аппаратных затрат рассмотренных методов был реализован генератор функциональных Verilog описаний в целях определения наилучшего ММС, а также для сравнения с позиционными мультиоперандными сумматорами.

Для моделирования результата на ПЛИС использовали среду Quartus II Version 10,0 Build 218 06/27/2010 SJ Web Edition. В качестве используемой ПЛИС был выбран чип Altera Stratix II EP2S15F484C3. По результату компиляции оценивали число используемых вентилях, а также длину критического пути для каждого используемого метода.

Для проектирования в базе заказных СБИС использовали маршрут, включающий средства логического синтеза САПР Synopsys Design Compiler. Синтез проводили в базе библиотеки стандартных ячеек Nangate с проектными нормами 45 нм. Настройки синтезатора для всех рассматриваемых схем были выставлены на минимизацию длины критического пути [9–11].

Исследования проводили не только для различных типов сумматоров (модулярный пирамидальный сумматор, модулярный сумматор с коррекцией на выходе, модулярный последовательный сумматор, модулярный сумматор с промежуточной коррекцией и позиционный сумматор), но и для раз-

ного числа используемых входов (8, 16, 32, 64, 128). В качестве базового основания для всех модулярных схем был выбран семибитный модуль 113.

Для сравнения с модулярными сумматорами был выбран позиционный сумматор на 32 разряда, так как соответствующий динамический диапазон может быть покрыт основаниями, не превышающими 7 бит [7]. Позиционный многовходовый сумматор был описан на языке Verilog в наиболее общем виде, для того чтобы САПР могли синтезировать наилучшую архитектуру для заданных условий. Анализ результатов синтеза показал, что для реализации подобных схем современные САПР используют различные алгоритмы ускорения переносов.

### Результаты исследования

В табл. 1 представлены результаты тестов расчета задержки критического пути и число занимаемых сумматорами логических элементов на ПЛИС в зависимости от числа используемых входов.

Для наглядности здесь и далее полужирным выделены лучшие результаты для данного числа входов сумматора. На рис. 5 и 6 представлены графики зависимости длины критического пути и числа используемых элементов ПЛИС в зависимости от числа входов сумматора.

Аналогичные исследования были проведены для СБИС. Результаты можно увидеть на рис. 7, 8. В табл. 2 представлены сводные данные, полученные в результате моделирования.

Таблица 1

Сводная таблица полученных результатов на ПЛИС (критический путь (нс) и число элементов (шт.))

Тип сумматора	Число входов сумматора									
	8		16		32		64		128	
	нс	шт.	нс	шт.	нс	шт.	нс	шт.	нс	шт.
Пирамидальный	17,02	154	17,85	326	22,71	671	27,08	1392	29,57	2770
С коррекцией на выходе	16,57	<b>98</b>	18,41	<b>159</b>	23,38	<b>284</b>	<b>26,32</b>	<b>558</b>	<b>28,61</b>	<b>1023</b>
Последовательный	25,79	139	49,06	289	93,27	595	177,71	1235	364,91	2455
Позиционный 32 бит	<b>12,93</b>	147	<b>15,74</b>	365	<b>19,60</b>	729	29,84	1489	42,70	2945

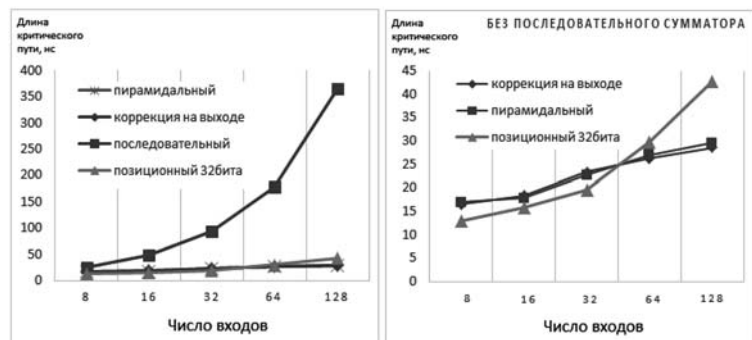


Рис. 5. График результатов моделирования критического пути в чипе ПЛИС в зависимости от используемого сумматора и числа его входов

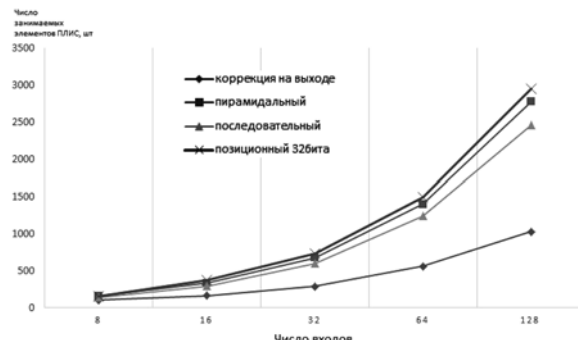


Рис. 6. Графики зависимости числа занятых блоков ПЛИС в зависимости от используемого сумматора и числа его входов

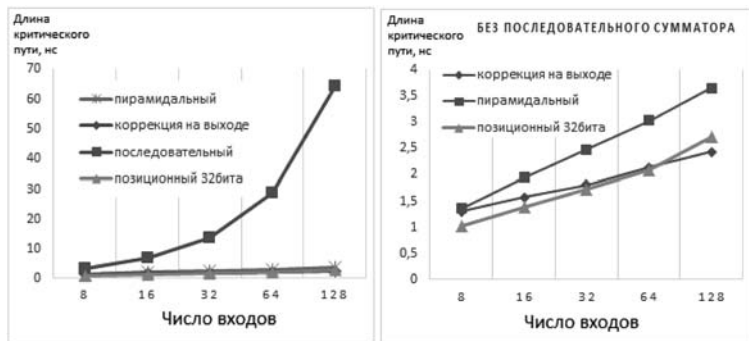


Рис. 7. График результатов моделирования критического пути в чипе СБИС в зависимости от используемого сумматора и числа его входов

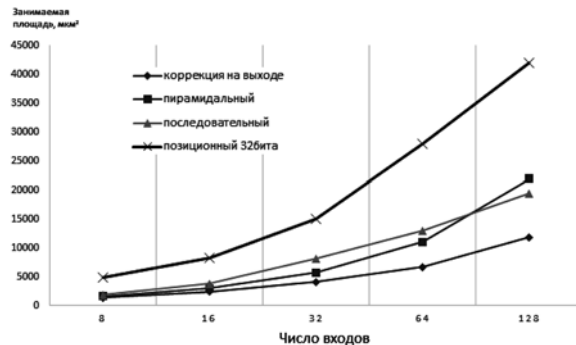


Рис. 8. Графики зависимости площади СБИС в зависимости от используемого сумматора и числа его входов

Таблица 2  
Сводная таблица полученных результатов для СБИС (критический путь (нс) и занимаемая площадь (мкм<sup>2</sup>))

Тип сумматора	Число входов сумматора									
	8		16		32		64		128	
	нс	мкм <sup>2</sup>	нс	мкм <sup>2</sup>	нс	мкм <sup>2</sup>	нс	мкм <sup>2</sup>	нс	мкм <sup>2</sup>
Пирамидальный	1,36	1671	1,94	3025	2,48	5751	3,03	11 102	3,65	21 906
С коррекцией на выходе	<b>1,3</b>	<b>1413</b>	1,57	<b>2420</b>	1,81	<b>4173</b>	2,14	<b>6737</b>	<b>2,43</b>	<b>11 860</b>
Последовательный	3,12	1871	6,71	3803	13,7	8139	28,78	12 966	64,29	19 444
Позиционный 32 бита	<b>1,03</b>	4974	<b>1,38</b>	8203	<b>1,73</b>	15 038	<b>2,09</b>	27 962	2,73	42 009

Таблица 3  
Результаты исследования критического пути и занимаемых ячеек на ПЛИС при использовании промежуточной коррекции для различного числа входов (критический путь (нс) и занимаемая площадь (мкм<sup>2</sup>))

Число входов сумматора	8		16		32		64		128	
	нс	шт.	нс	шт.	нс	шт.	нс	шт.	нс	шт.
0										
2	<b>16,13</b>	239	20,15	510	26,44	1053	28,25	2169	34,58	4331
4	17,60	179	19,87	379	24,05	777	<b>25,78</b>	1584	28,62	3164
8	16,57	<b>98</b>	20,88	236	24,06	449	26,99	906	33,05	1820
16			<b>18,41</b>	<b>159</b>	24,09	358	28,59	725	30,19	1394
32					<b>23,38</b>	<b>284</b>	29,77	640	30,29	1225
64							26,32	<b>558</b>	30,30	1123
128									<b>28,61</b>	<b>1023</b>

Таблица 4  
Результаты исследования критического пути и занимаемой площади на заказных СБИС при использовании промежуточной коррекции для различного числа входов (критический путь (нс) и занимаемая площадь (мкм<sup>2</sup>))

Число входов сумматора	8		16		32		64		128	
	нс	мкм <sup>2</sup>	нс	мкм <sup>2</sup>	нс	мкм <sup>2</sup>	нс	мкм <sup>2</sup>	нс	мкм <sup>2</sup>
0										
2	1,31	1614	1,73	3642	2,45	6008	3,18	11893	3,62	24 038
4	<b>1,13</b>	1454	<b>1,39</b>	2810	1,95	4997	2,29	8210	2,82	16 082
8	1,3	<b>1413</b>	1,67	2587	2,2	4218	2,55	7596	3,2	13 928
16			1,57	<b>2419</b>	2,08	<b>3625</b>	2,58	6370	2,98	12 901
32					<b>1,81</b>	4172	2,28	<b>6225</b>	2,77	11 066
64							<b>2,14</b>	6736	2,63	<b>10 611</b>
128									<b>2,43</b>	11 860

Получив результаты критического пути и площади при использовании каждого сумматора и проанализировав полученные результаты, было предложено дополнить исследование более подробным изучением сумматоров с коррекцией на выходе. Для этого на языке Verilog были реализованы различные варианты сумматоров с промежуточной коррекцией. Результаты проведенных исследований на ПЛИС представлены в табл. 3.

Аналогичные исследования были проведены для заказных СБИС. Результаты для СБИС приведены в табл. 4.

По результатам проведенных исследований для модулярных сумматоров с промежуточной коррекцией при реализации на ПЛИС и СБИС наблюдается тенденция улучшения параметров критического пути и площади при максимальном числе элементов в позиционном сумматоре, что соответствует выбранному ранее методу с коррекцией на выходе. Однако стоит учитывать, что выбирая оптимальный сумматор для конкретной задачи, в частных случаях можно получить улучшенные характеристики сумматора, используя метод промежуточной коррекции.

### Заключение

Налагаемые требования на разрабатываемое устройство диктуют выбор того или иного метода реализации мультиоперандного сумматора. В данной статье были рассмотрены различные методы реализации модулярных мультиоперандных сумматоров, а также проведены исследования их характеристик быстродействия и аппаратных затрат, по результатам которых можно сделать несколько выводов и рекомендаций:

- лучшим методом построения ММС как в отношении быстродействия, так и занимаемой площади является метод с коррекцией на выходе;
- большую часть всего модульного канала фактически занимает двоичный мультиоперандный сумматор, реализация которого эффективно отработана в современных САПР. Это объясняет наилучшие показатели в сравнении с другими методами реализации ММС;
- в некоторых частных случаях удается достичь некоторых улучшений при использовании метода промежуточной коррекции;
- использование модулярных мультиоперандных сумматоров, как и других модулярных вычислительных структур [1, 8], обычно целесообразно при реализации операций с большим вычислительным объемом. В приведенных эксперимен-

тах преимущество модулярных структур начинало проявляться в сумматорах с числом входов не менее 64.

Результаты демонстрируют схожие тенденции, как для СБИС, так и для ПЛИС, что подтверждает универсальность представленных выводов.

### Список литературы

1. **Тельпухов Д. В., Соловьев Р. А., Амербаев В. М., Балака Е. С.** Разработка аппаратного модулярного фильтра с конечной импульсной характеристикой на базе теоретико-числового быстрого преобразования Фурье // Всероссийская научно-техническая конференция "Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС)". Сб. трудов. 2014. № 4. С. 169—172.
2. **Амербаев В. М., Соловьев Р. А., Тельпухов Д. В.** Реализация библиотеки модульных арифметических операций на основе алгоритмов минимизации логических функций // Изв. Южного федерального университета. Технические науки. 2013. № 7 (144). С. 221—225.
3. **Dugdale M.** VLSI implementation of residue adders based on binary adders // IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing. 1992.
4. **Zimmerman R.** Efficient VLSI implementation of modulo  $2n \pm 1$  addition and multiplication // Proceedings 14<sup>th</sup> Symposium on Computer Arithmetic. 1999. P. 158—167.
5. **Omondi A., Premkumar B.** Residue Number Systems: Theory and Implementation. London: Imperial College Press. 2007. 312 p.
6. **Соловьев Р. А., Тельпухов Д. В.** Аппаратная реализация операции нахождения остатка целочисленного деления для входных данных большой разрядности в модулярной арифметике // Известия высших учебных заведений. Электроника. 2013. № 4 (102). С. 75—83.
7. **Амербаев В. М., Константинов А. В., Тельпухов Д. В.** Выбор технологичных модулей в задаче оптимизации модульных умножителей и сумматоров // 16-я Всероссийская межвузовская научно-техническая конференция студентов и аспирантов "Микроэлектроника и информатика—2009". Сб. тезисов. М.: МИЭТ. 2009.
8. **Амербаев В. М., Соловьев Р. А., Тельпухов Д. В., Щелков А. Н.** Исследование эффективности модулярных вычислительных структур при проектировании аппаратных однотактных умножителей // Известия Южного федерального университета. Технические науки. 2014. № 7 (156). С. 248—254.
9. **Стемпковский А. Л., Гаврилов С. В., Каграманян Э. Р.** Методы логико-временного анализа заказных блоков СБИС // Известия вузов. Электроника. 2008. № 5. С. 41—50.
10. **Гаврилов С. В., Гудкова О. Н., Егоров Ю. Б.** Методы ускоренной характеристики библиотек элементов СБИС с контролем заданной точности // Известия вузов. Электроника. 2010. № 3. С. 51—59.
11. **Гаврилов С. В., Гудкова О. Н., Егоров Ю. Б.** Статистический анализ сложных функциональных блоков // Известия вузов. Электроника. 2010. № 5. С. 58—64.

## Study of Multi-Input Modular Adders Implemented on FPGA and VLSI by Modern CAD Tools

*In this paper different methods of the design of multi-input modular adders are studied, which are used in digital signal processing tasks and require maximal performance. Depending on the desired goal, up to 33 % reduction of the critical path and up to 65 % reduction in area can be achieved compared to designs using adders based on positional number systems. The most efficient method to implement multi-input modular adders was determined. As opposed to other papers, the research was carried out for the purpose of implementing adders on FPGA and custom VLSI for different numbers of inputs.*

**Keywords:** residue number system, multi-input adder, FPGA, VLSI

### References

1. Telpuhov D. V., Solovyev R. A., Amerbaev V. M., Balaka E. S. Razrabotka apparatnogo moduljarnogo fil'tra s konechnoj impul'snoj harakteristikoj na baze teoretiko-chislovogo bystrogo preobrazovanija Fur'e. *Vserossijskaja nauchno-tehnicheskaja konferencija "Problemy razrabotki perspektivnyh mikro- i nanojelektronnyh sistem (MJeS)".* Sb. trudov. 2014, no. 4, pp. 169–172.
2. Amerbaev V. M., Solovyev R. A., Telpuhov D. V. Realizacija biblioteki modul'nyh arifmeticheskijh operacij na osnove algoritmov minimizacii logicheskijh funkcij. *Izv. Juzhnogo federal'nogo universiteta. Tehnicheskie nauki.* 2013, no. 7 (144), pp. 221–225.
3. Dugdale M. VLSI implementation of residue adders based on binary adders. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing.* 1992.
4. Zimmerman R. Efficient VLSI implementation of modulo  $2n \pm 1$  addition and multiplication". *Proceedings, 14<sup>th</sup> Symposium on Computer Arithmetic.* 1999, pp. 138–167.
5. Omondi A., Premkumar B. Residue Number Systems: Theory and Implementation. London: Imperial College Press. 2007. 312 p.
6. Solovyev R. A., Telpuhov D. V. Apparatnaja realizacija operacii nahozhdenija ostatka celochislennogo delenija dlja vhodnyh dan-

nyh bol'shoj razrjadnosti v moduljarnoj arifmetike. *Izv. vysshijh uchebnyh zavedenij. Jelektronika.* 2013, no. 4 (102), pp. 75–83.

7. Amerbaev V. M., Konstantinov A. V., Telpuhov D. V. Vybortehnologichnyh modulej v zadache optimizacii modul'nyh umnozhitel'ej i summatorov. *16-ja Vserossijskaja mezhvuzovskaja nauchno-tehnicheskaja konferencija studentov i aspirantov "Mikroelektronika i informatika-2009".* Sb. tezisov. M.: MIJeT. 2009.

8. Amerbaev V. M., Solovyev R. A., Telpuhov D. V., Shhelokov A. N. Issledovanie jeffektivnosti moduljarnykh vychislitel'nykh struktur pri proektirovanii apparatnykh odnotaknykh umnozhitel'ej. *Izv. Juzhnogo federal'nogo universiteta. Tehnicheskie nauki.* 2014, no. 7 (156), pp. 248–254.

9. Stempkovskij A. L., Gavrilov S. V., Kagramanian E. R. Metody logiko-vremennogo analiza zakaznykh blokov SBIS. *Izv. vuzov. Elektronika.* 2008, no. 5, pp. 41–50.

10. Gavrilov S. V., Gudkova O. N., Egorov Ju. B. Metody uskorennoj harakterizacii bibliotek jelementov SBIS s kontrol'em zadannoj tochnosti. *Izv. vuzov. Elektronika.* 2010, no. 3, pp. 51–59.

11. Gavrilov S. V., Gudkova O. N., Egorov Ju. B. Statisticheskij analiz slozhnykh funkcional'nykh blokov. *Izv. vuzov. Elektronika.* 2010, no. 5, pp. 58–64.

УДК 004.942

М. М. Гурарий<sup>1</sup>, канд. техн. наук, ст. науч. сотр., e-mail: gourary@ippm.ru,  
С. Г. Русаков<sup>1</sup>, д-р техн. наук, гл. науч. сотр., e-mail: rusakov@ippm.ru,  
Р. Р. Алиев<sup>2</sup>, д-р техн. наук, вед. науч. сотр., e-mail: rubaliev@gmail.com

<sup>1</sup> Институт проблем проектирования в микроэлектронике РАН,

<sup>2</sup> Институт теоретической и экспериментальной биофизики РАН

## Применение методов схемотехнического моделирования для анализа биоэлектрических процессов в многоклеточных системах

*Показана возможность применения средств математического моделирования электронных схем для решения актуальной проблемы оценки воздействия внешних электрических полей на распределение потенциала внутри клетки и на поведение многоклеточных биологических систем. Обоснован выбор электрических эквивалентов внутриклеточных процессов. Обсуждаются результаты моделирования.*

**Ключевые слова:** клеточная ткань, мембрана, метод конечных объемов, передаточная функция, схемотехническое моделирование, уравнения Максвелла, электрическая схема